

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-20838

(43) 公開日 平成7年(1995)1月24日

(51) Int. Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 0 9 G 5/00	5 5 0 P	8121-5G		
G 0 6 F 3/153	3 3 6 A			
G 0 6 T 11/80				
G 0 9 G 5/34	A	8121-5G		
		8125-5L		
		G 0 6 F 15/ 62	3 2 0 A	
審査請求 未請求 請求項の数14 F D (全 23 頁) 最終頁に続く				

(21) 出願番号 特願平5-151187

(22) 出願日 平成5年(1993)5月28日

(31) 優先権主張番号 特願平4-140336

(32) 優先日 平4(1992)6月1日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(71) 出願人 591095856

株式会社ハドソン

北海道札幌市豊平区平岸3条7丁目26番地

(72) 発明者 三澤 利之

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

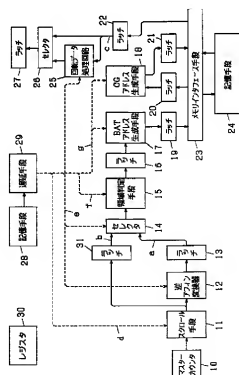
(74) 代理人 弁理士 石井 康夫 (外1名)

(54) 【発明の名称】 画像再生装置

(57) 【要約】

【目的】 T Vゲーム機・パソコン用表示装置・マルチメディア機器等において、多種類の表示色モード、マルチ画面表示、様々な表示効果を可能ならしめるための複雑な画像処理等多くの高度な機能を、極めて小規模のハードウェアにて実現する。

【構成】 マスターカウンタ10が発生した座標信号は、スクロール手段11、逆アフィン変換器12、領域判定手段15、BAT及びCGアドレス生成手段17、18を経て、記憶手段24用のアドレスに変形される。これらハードウェアの動作及び記憶手段24へのアクセスはマイクロプログラムによって制御される。記憶手段28はマイクロプログラムの格納、遅延手段29は遅延量調整を司る。



【特許請求の範囲】

【請求項1】 表示画面上における座標を発生させる手段と、画像形成に用いるデータを蓄える記憶手段と、前記記憶手段にアクセスするためのアドレスを生成する手段とを備え、複数の画面と複数の表示モードを有する画像再生装置において、複数の画面に対応した制御情報を含んでるマイクロプログラムを記憶する手段と前記マイクロプログラムを遅延する手段とを備え、前記マイクロプログラムに制御されつつ前記記憶手段にアクセスするためのアドレスを生成する手段を具備して成ることを特徴とする画像再生装置。

【請求項2】 前記複数の画面に対応したスクロールパラメータを格納するレジスタを備え、前記マイクロプログラムに制御されつつ、前記スクロールパラメータを用いて再生画像をスクロールするスクロール手段を備えて成ることを特徴とする請求項1に記載の画像再生装置。

【請求項3】 逆アフィン変換用パラメータを格納するレジスタを備え、前記マイクロプログラムに制御されつつ、前記逆アフィン変換用パラメータを用いて再生画像を拡大・縮小・回転する逆アフィン変換手段を備えて成ることを特徴とする請求項1に記載の画像再生装置。

【請求項4】 前記複数の画面に対応した原画サイズを格納するレジスタを備え、前記マイクロプログラムに制御されつつ、前記原画サイズを用いて座標が原画の領域内にあるか領域外にあるか判定する領域判定手段を備えて成ることを特徴とする請求項1に記載の画像再生装置。

【請求項5】 マイクロプログラムを記憶する手段の出力はパレル・シリアル変換器を介してマイクロプログラムを遅延する手段の入力に接続されて成ることを特徴とする請求項1に記載の画像再生装置。

【請求項6】 基本シーケンス中における現在の状態を示すプログラムカウンタ及び前記現在の状態に応じたサイクル順のマイクロプログラムを選択するセレクトにより構成される遅延手段と、マイクロプログラムを記憶する手段とを備えて成ることを特徴とする請求項1に記載の画像再生装置。

【請求項7】 前記マイクロプログラムの記憶手段及び遅延手段は、マイクロプログラムのシフトレジスタへの書き込み・保持をコントロールする制御信号を入力するようにして成るセレクトと、リング状に接続されたシフトレジスタとにより構成されることを特徴とする請求項1に記載の画像再生装置。

【請求項8】 表示画面上における座標を発生させる手段と、画像形成に用いるデータを蓄える記憶手段と、前記記憶手段にアクセスするためのアドレスを生成する手段を備え、少なくとも拡大・縮小・回転モードとノーマルモードとを含む複数の表示モードを有する画像再生装置において、拡大・縮小・回転を実現する逆アフィン変換器と、逆アフィン演算の少なくとも一部分をドット毎

の逆アフィン演算より前に実行する手段と、前記ノーマルモードにおいて前記記憶手段にアクセス後画像データを表示順に並べ変える回路手段と、前記拡大・縮小・回転モードとノーマルモードとで有効表示期間を一致させる手段を具備して成ることを特徴とする画像再生装置。

【請求項9】 前記画像形成に用いるデータを蓄える記憶手段の1ワード当たりのビット数を、複数の色モードの1画素当たりのデータ語長の公倍数となるように定めたことを特徴とする請求項8に記載の画像再生装置。

【請求項10】 マイクロプログラムによって制御される画像再生装置であって、マイクロプログラムの基本周期に含まれるサイクル数をキャラクタの水平方向の画素数の整数倍に定めたことを特徴とする請求項8に記載の画像再生装置。

【請求項11】 表示モードがノーマルモードであるか拡大・縮小・回転モードであるかを指示する手段を有する画像再生装置であって、その指示内容がノーマルモードであれば表示開始よりも少なくとも1キャラクタ分早くメモリアクセスを開始させ、一方その指示内容が拡大・縮小・回転モードであれば表示開始に先立ってアフィン変換の初期値計算を行ないその後メモリアクセスを開始させる手段を具備して成ることを特徴とする請求項8に記載の画像再生装置。

【請求項12】 表示画面上における座標を発生させる手段と、画像形成に用いるデータを蓄える記憶手段と、前記記憶手段にアクセスするためのアドレスを生成する手段を備え、マイクロプログラムによって制御される画像再生装置において、前記マイクロプログラムに従った制御情報が入力されるデコーダと、該デコーダから出力される制御信号に基づいて前記記憶手段から読み出された画像データを選択的に切り換える切り換え回路と、切り換え済みの画像データを一時蓄える第1のバッファメモリと、パレル・シリアル変換器を具備して成ることを特徴とする画像再生装置。

【請求項13】 前記第1のバッファメモリと前記パレル・シリアル変換器との間に第2のバッファメモリを介在させ、前記第2のバッファメモリに蓄えられているデータの複数の部分データのそれぞれを外側から設定されたパラメータに応じて独立のタイミングで前記パレル・シリアル変換器に転送する手段を具備して成ることを特徴とする請求項12に記載の画像再生装置。

【請求項14】 表示画面上における座標を発生させる手段と、画像形成に用いるデータを蓄える記憶手段と、前記記憶手段にアクセスするためのアドレスを生成する手段を備え、マイクロプログラムによって制御される画像再生装置において、制御情報が入力されるデコーダと、前記マイクロプログラムに従って前記記憶手段から読み出された画像データを選択的に切り換える切り換え回路と、セレクトと記憶回路セルとを含む単位回路を用いて構成されたバッファメモリ機能を兼ねたパレル

・シリアル変換器を具備して成ることを特徴とする画像再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、TVゲーム機、コンピュータグラフィックス、パソコン用表示装置、マルチメディア機器等に使用される画像再生装置に関する。

【0002】

【従来の技術】従来、TVゲーム機等に用いられる背景画面用の画像再生装置は図29に示されるような構造にて実現されていた。

【0003】同図において、マスターカウンタ1により発生された表示画面上のx、y座標を表す信号はスクロール処理2によってスクロール等の特殊処理を施され、アドレス生成回路3に入力される。次に、アドレス生成回路3にて生成された所望のアドレスはRAM4に入力され、その結果、RAM4より所望のキャラクタに対応するキャラクタコードが出力される。前記キャラクタコードは図形ROM5を経ることによって所望の図形データに変換され、表示装置6へと伝送される。

【0004】従来、上記画像再生装置の処理対象となる背景画面の面数は1面のみに限られている場合がほとんどであった。また、仮に複数の背景画面を処理対象とする場合でも、面数は高々2面程度であり、表示モード（色数）の種類も高々2種類程度に限られていた。このため、図29の画像再生装置において、それぞれの回路ブロックの内部及びそれぞれの回路ブロック間の相互接続は、プログラマでなく、固定されたハードウェアロジックによって構成されていた。

【0005】また、上述した従来の画像再生装置では、複雑な演算を必要とし、ハードウェア規模が大きくなる拡大・縮小・回転モードをサポートすることは少なかった。更に、記憶手段から読み出される画像データは、読み出された時点で表示順に並べられていた。

【0006】

【発明が解決しようとする課題】最近、TVゲーム機、コンピュータグラフィックス、パソコン用表示装置、マルチメディア機器等において、1677万色の自然画表示から4色の文字表示に至るまで多種類の表示色モードが要求されるようになってきている。それと同時に、表示可能な背景画面の面数に關しても4面或いはそれ以上のマルチ画面表示が必要とされてきている。更に、スクロール、回転、拡大、縮小、タイリング等の高度な表示効果を実現するための様々な画像処理も求められている。

【0007】しかしながら、ハードウェアロジック主体で構成された従来の画像再生装置によってこのような要求に応えようとすると、以下に挙げるような重大な問題が生ずる。

【0008】① 複数種類の表示モード、複数の背景画

面及び多様な画像処理モードが存在することによって生ずる多数の表示モードの組み合わせの全てをハードロジックで実現しなくてはならない。このため、回路規模が膨大になるとともに配線が非常に複雑なものとなる。

【0009】② 特に、画像情報が格納されているRAM（図29におけるRAM4）にアクセスするための複雑なシーケンス制御をハードウェアで行わねばならず、シーケンスが極めて複雑になる。同時に、シーケンスの設計に膨大な人手とコストと時間を必要とする。

【0010】③ 上記①、②の理由により、この画像再生装置をIC化する際にコストが著しく高くなってしまふ。

【0011】また、マイクロプログラムを使用としても、上述の要求に応えようとすると、以下に述べるような新規の回路手段が必要になる。

① 拡大・縮小・回転モードとノーマルモードを含む多種類の表示モードにリアルタイムに対応可能な画像再生装置を出来るだけ小規模のハードウェアにて実現する手段。

② 多種類の表示モードと複数の背景画面を持つ画像再生装置の動作をプログラマーが設定したマイクロプログラムによって制御するための回路手段。

【0012】また、上記回路手段①、②を付加したことにより生ずる拡大・縮小・回転モードとノーマルモードとの間の表示開始タイミングのずれを補償し表示タイミングを揃える手段が必要になる。更に、ノーマルモードの時、マイクロプログラムによって読み出された複数の表示モードを有する複数面の背景画像データは、ディスプレイ装置に表示するドット単位の順番に並んでいないのが通常であるため、これを表示順に並び換える手段が必要となる。

【0013】本発明は、かかる課題を解決し、小規模のハードウェアながら高度な機能を実現することの可能な画像再生装置の提供を目的とするものである。

【0014】

【課題を解決するための手段】本発明の画像再生装置は、上述の課題を解決するための手段として以下の特徴を有する。

【0015】表示画面上における座標を発生させる手段と、画像形成に用いるデータを蓄える記憶手段と、前記記憶手段にアクセスするためのアドレスを生成する手段とを備え、複数の画面と複数の表示モードを有する画像再生装置において、複数の画面に対応した制御情報を含んで成るマイクロプログラムを記憶する手段と前記マイクロプログラムを遅延する手段とを備え、前記マイクロプログラムに制御されつつ前記記憶手段にアクセスするためのアドレスを生成する手段を具備して成ることを特徴とする。

【0016】前記複数の画面に対応したスクロールパラメータを格納するレジスタを備え、前記マイクロプロ

ラムに制御されつつ、前記スクロールパラメータを用いて再生画像をスクロールするスクロール手段を備えて成ることを特徴とする。

【0017】逆アフィン変換用パラメータを格納するレジスタを備え、前記マイクロプログラムに制御されつつ、前記逆アフィン変換用パラメータを用いて再生画像を拡大・縮小・回転する逆アフィン変換手段を備えて成ることを特徴とする。

【0018】前記複数の画面に対応した原画サイズを格納するレジスタを備え、前記マイクロプログラムに制御されつつ、前記原画サイズを用いて座標が原画の領域内にあるか領域外にあるか判定する領域判定手段を備えて成ることを特徴とする。

【0019】マイクロプログラムを記憶する手段の出力はパラレル・シリアル変換器を介してマイクロプログラムを遅延する手段の入力に接続されて成ることを特徴とする。

【0020】基本シーケンス中における現在の状態を示すプログラムカウンタ及び前記現在の状態に応じたサイクル順のマイクロプログラムを選択するセレクトにより構成される遅延手段と、マイクロプログラムを記憶する手段とを備えて成ることを特徴とする。

【0021】前記マイクロプログラムの記憶手段及び遅延手段は、マイクロプログラムのシフトレジスタへの書き込み・保持をコントロールする制御信号を入力するようにして成るセレクトと、リング状に接続されたシフトレジスタとにより構成されることを特徴とする。

【0022】表示画面上における座標を発生させる手段と、画像形成に用いるデータを蓄える記憶手段と、前記記憶手段にアクセスするためのアドレスを生成する手段を備え、少なくとも拡大・縮小・回転モードとノーマルモードとを含む複数の表示モードを有する画像再生装置において、拡大・縮小・回転を実現する逆アフィン変換器と、逆アフィン演算の少なくとも一部分をドット毎の逆アフィン演算より前に実行する手段と、前記ノーマルモードにおいて前記記憶手段にアクセス後画像データを表示順に並べ変える回路手段と、前記拡大・縮小・回転モードとノーマルモードとで有効表示期間を一致させる手段を具備して成ることを特徴とする。

【0023】前記画像形成に用いるデータを蓄える記憶手段の1ワード当たりのビット数を、複数ある色モードの1画素当たりのデータ語長の公倍数となるように定めたことを特徴とする。

【0024】マイクロプログラムによって制御される画像再生装置であって、マイクロプログラムの基本周期に含まれるサイクル数をキャラクターの水平方向の画素数の整数倍に定めたことを特徴とする。

【0025】表示モードがノーマルモードであるか拡大・縮小・回転モードであるかを指示する手段を有する画像再生装置であって、その指示内容がノーマルモードで

あれば表示開始よりも少なくとも1キャラクター分早くメモリアクセスを開始させ、一方その指示内容が拡大・縮小・回転モードであれば表示開始に先立ってアフィン変換の初期値計算を行ないその後メモリアクセスを開始させる手段を具備して成ることを特徴とする。

【0026】表示画面上における座標を発生させる手段と、画像形成に用いるデータを蓄える記憶手段と、前記記憶手段にアクセスするためのアドレスを生成する手段を備え、マイクロプログラムによって制御される画像再生装置において、前記マイクロプログラムに従った制御情報が入力されるデコーダと、該デコーダから出力される制御信号に基づいて前記記憶手段から読み出された画像データを選択的に切り換える切り換え回路と、切り換え済みの画像データを一時蓄える第1のバッファメモリと、パラレル・シリアル変換器を具備して成ることを特徴とする。

【0027】前記第1のバッファメモリと前記パラレル・シリアル変換器との間に第2のバッファメモリを介在させ、前記第2のバッファメモリに蓄えられているデータの複数の部分データのそれぞれを外部から設定されたパラメータに応じて独立のタイミングで前記パラレル・シリアル変換器に転送する手段を具備して成ることを特徴とする。

【0028】表示画面上における座標を発生させる手段と、画像形成に用いるデータを蓄える記憶手段と、前記記憶手段にアクセスするためのアドレスを生成する手段を備え、マイクロプログラムによって制御される画像再生装置において、制御情報が入力されるデコーダと、前記マイクロプログラムに従って前記記憶手段から読み出された画像データを選択的に切り換える切り換え回路と、セレクトと記憶回路セルとを含む単位回路を用いて構成されたバッファメモリ機能を兼備したパラレル・シリアル変換器を具備して成ることを特徴とする。

【0029】

【実施例】以下、図面に従って本発明の機1の実施例を詳細に説明する。図1は、TVゲーム機、マルチメディアパソコン等に代表される会話形のコンピュータグラフィックスの場合を例にとって本発明の画像再生装置の第1の実施例の構造を説明した図である。同図の実施例において、前記画像再生装置は、スクロール機能、拡大・縮小・回転機能、領域判定機能、画像データまたは画像データ形成のために必要な諸データが格納されている記憶手段にアクセスするためのアドレス生成機能を備えている。また、前記画像再生装置は複数枚の表示画面と複数種類の表示色モードとを実現する手段を備えている。前記画像再生装置が備えている前記各機能を実現するハードウェアの一部または全部はマイクロプログラムに従って動作する。

【0030】まず、図1を用いて本発明の画像再生装置の構造及び動作を説明する。マスターカウンタ10は、

表示領域内におけるポインタの位置を座標 (x, y) にて表現するためのものであり、ドットカウンタ (水平座標カウンタ) とラスタカウンタ (垂直座標カウンタ) から成る。マスターカウンタ10の出力信号は、スクロール手段11を経由して、ラッチ31に伝えられ、拡大・縮小・回転機能を実現するために設けられている逆アフィン変換器12、ラッチ31に伝えられる。ここで、セレクト4は、拡大・縮小・回転モードがオンに設定されていればラッチ31に保持されている座標信号aを、オフに設定されていればラッチ31に保持されている座標信号bを領域判定手段15に出力する。座標信号aは、拡大・縮小・回転機能を使用する場合の座標を、また、座標信号bは、拡大・縮小・回転機能を使用しない、ノーマルなモードの場合の座標を示している。領域判定手段15は、受け取った座標信号が後述する原画領域の領域内に当たるか領域外に当たるかを判定し、領域内であれば前記座標信号をそのまま通過させ、領域外であれば所定の処理を施す。領域判定手段15の出力信号はラッチ16に取り込まれる。BATアドレス生成手段17及びCGアドレス生成手段18は、記憶手段24にアクセスするためのアドレス形成を司る装置であり、ラッチ19、20、21、22及びメモリインタフェース手段23を介して記憶手段24との間でデータのやりとりを行う。BAT及びCGの意味については後述する。ラッチ22を介して取り込まれた画像に関わるデータcは、拡大・縮小・回転モードがオンに設定されていれば回転データ処理回路25及びセレクト26を介して、オフに設定されていればセレクト26のみを介してラッチ27に取り込まれる。レジスタ30は、スクロール、拡大・縮小・回転、領域判定、画像データまたは画像データ形成のために必要な諸データが格納されている記憶手段24にアクセスするためのアドレス生成等、前述の諸機能に対する制御命令やそれら諸機能に関わるパラメータ等を格納している。

【0031】図2は、原画領域と表示領域を説明するための図である。同図において、原画領域41の領域内では所定の画像が定義されているが、領域外では画像が定義されていない。表示領域40は、スクロール、拡大・縮小・回転等の処理によって42の如く原画領域をはみ出してしまう場合がある。この時、原画領域外は、前記レジスタ30等に設定された指示に従って処理される。

【0032】図3は、前記表示領域において、前記マスターカウンタ10の動作によって生成される表示領域内座標 (x, y) について説明した図である。x座標はドットカウンタ、y座標はラスタカウンタによって生成される。

【0033】次に、図4 (A)、(B)、(C)、(D)を用いて、前出のバックグラウンド属性テーブル (本明細書中ではBATと略記する) 及びキャラクタジェネレータ (本明細書中ではCGと略記する) について

説明する。TVゲーム機、マルチメディアパソコン等のコンピュータグラフィックスにおいて、個々の画面に相当する画像データは、CGデータの形で前記記憶手段24に蓄えられる。更に、前記CGデータは、必要に応じて、相関の高い複数の画素を単位 (例えば、8画素×8画素単位) としてまとめられ前記バックグラウンド属性テーブルに格納される。

【0034】図4 (A) に示すように、CGデータとして表現された個々の画素 (50, 51, 52等) は、キャラクタ53の形にまとめられる。更に、図4 (B) に示すように、1個以上のキャラクタ (54, 55, 56等) によって原画41が構成される。前記各画素50, 51, 52に相当するCGデータCG (50), CG (51), CG (52) は、例えば、図4 (C) に示すような形で前記記憶手段24に蓄えられる。前記キャラクタ53に属する画素のCGデータを図4 (C) に示すように連続したアドレスに格納しておく、キャラクタ単位の処理に好都合である。図4に示される各キャラクタ54, 55, 56を代表するシンボルをキャラクタコードと定義し、それぞれを、CC (54), CC (55), CC (56) と呼ぶことにする。この時、これらキャラクタコードは、図4 (D) に示される如く前出のBATと称される記憶手段に納められる。前述したように、所望の画像を表現するのにBAT、CG双方を用いるかCGのみを用いるかは状況に応じて決定される。

【0035】図1において、前述のハードウェアの一部または全部はマイクロプログラムによって制御されている。記憶手段28は前記マイクロプログラムを格納しており、遅延手段29は前記マイクロプログラムの内容をその実行サイクルに合わせて適宜遅延させる役割を果たす。破線にて表された、マイクロプログラムに基づく制御信号d, e, f, gによって、それぞれ、スクロール、拡大・縮小・回転、領域判定、アドレス生成の各動作がコントロールされる。これら各機能のコントロールは、以下に行われる。なお、この第1の実施例では画像再生装置が取り扱う背景画像の面数を4面とする。

【0036】(1) スクロール

図5に、前記スクロール手段11の詳細な構成例を示す。同図において、図1に示されるレジスタ30に含まれる部分レジスタ60, 61, 62, 63には、それぞれ、第1面、第2面、第3面、第4面用のスクロールパラメータi1, i2, i3, i4が格納されている。セレクト4は、マイクロプログラムの内容に基づいて作られた前記制御信号dの指示に従って、前記スクロールパラメータi1, i2, i3, i4のうち1つを選択しスクロールパラメータiとする。一方、マスターカウンタ10にて発生された座標信号hは、加算器65にて、前記スクロールパラメータiと加算される。以上の如くして、加算器65の出力にスクロール処理された座標信

号kが得られる。

【0037】(2) 拡大・縮小・回転
 拡大・縮小・回転の各機能は、逆アフィン変換にて実現される。図6に、前記逆アフィン変換手段12の詳細な構成例を示す。同図において、図1に示されるレジスタ30に含まれる部分レジスタ70、71、72、73には、それぞれ、第1面、第2面、第3面、第4面用の逆アフィン変換用パラメータj1、j2、j3、j4が、また、部分レジスタ74には拡大・縮小・回転モードのオン・オフを指示する制御コードが格納されている。セレクト75は、マイクロプログラムの内容に基づいて作られた前記制御信号eの指示に従って、前記逆アフィン変換用パラメータj1、j2、j3、j4のうち1つを選択し逆アフィン変換用パラメータjとする。一方、逆アフィン変換器76において、スクロール手段11より伝えられた座標信号kは、前記パラメータjを用いた逆アフィン変換を施される。以上の如くして、逆アフィン変換器76の出力に拡大・縮小・回転処理された座標信号77が得られる。また、部分レジスタ74に格納された制御コードが拡大・縮小・回転モードのオンを指示していればセレクト14は座標信号aを選択し、オフを指示していれば座標信号bを選択する。

【0038】(3) 領域判定
 図7に、前記領域判定手段15の詳細な構成例を示す。同図において、図1に示されるレジスタ30に含まれる部分レジスタ80、81、82、83には、それぞれ、第1面、第2面、第3面、第4面用の原画サイズm1、m2、m3、m4が格納されている。セレクト84は、マイクロプログラムの内容に基づいて作られた前記制御信号fの指示に従って、前記原画サイズm1、m2、m3、m4のうち1つを選択し原画サイズmとする。一方、セレクト84より出力された座標信号nは、比較判定器85にて、前記原画サイズmと比較され、前記座標信号nが原画の領域内にあるか領域外にあるか判定される。以上の如くして、比較判定器85の出力に領域判定処理された座標信号86が得られる。

【0039】(4) アドレス生成
 複数の背景画面と複数の表示モードを有した画像再生装置を実現しようとするとき、前記記憶手段24にアクセスするためのアドレス生成シーケンスは著しく複雑なものとなる。このように複雑なアドレス生成シーケンスに対応するため以下に述べる手段は多大な効果を発揮する。図8に前記B A Tアドレス生成手段17、C Gアドレス生成手段18及び制御信号経路の詳細な構成例を示す。同図において、マイクロプログラムの内容に基づいて作られた前記制御信号gは、B A Tアドレス/C Gアドレスのどちらのアドレス生成をするのかを指示する制御信号g1、再生する画像データが属する表示面の番番を示す制御信号g2、拡大・縮小・回転モードのオン／オフを示す制御信号g3、アドレス計算のための補助

パラメータg4を含んで成る。図1に示されるレジスタ30に含まれる部分レジスタ90、91、92、93には、それぞれ、第1面、第2面、第3面、第4面の表示モードを示す制御信号q1、q2、q3、q4が格納されている。まず、前記制御信号g1の指示に従ってB A Tアドレス生成手段17、C Gアドレス生成手段18のどちらかがアクティブ状態となる。次に、前記制御信号g2の指示に従って、前記表示モードを示す制御信号q1、q2、q3、q4のうち1つが選択され、前記制御信号g2の指示に従って拡大・縮小・回転モードのオン／オフが決定され、以上の結果に制御されつつ座標信号pに基づいて所望のB A TアドレスまたはC Gアドレスが算出される。ここで、B A T、C G双方を用いて画像再生するようにマイクロプログラムが記述されていれば、図8において、まずバスA1を介して記憶手段24にアドレスを送出しバスA2を介して記憶手段24からデータを受け取り、次にバスB1を介して記憶手段24にアドレスを送出しバスB2を介して記憶手段24からデータを受け取る。また、C Gのみを用いて画像再生するようにマイクロプログラムが記述されていれば、バスB1を介して記憶手段24にアドレスを送出しバスB2を介して記憶手段24からデータを受け取る。

【0040】以下、前記マイクロプログラムについて説明する。マイクロプログラムは、一定の周期で所定のルーチンを終了するように記述される。第1面にB A T、C G双方を用いて再生された画像を、第2面にC Gのみを用いて再生された画像を得るためのマイクロプログラムの例を図9に示す。同図のマイクロプログラムによれば、0サイクルから7サイクルまでの8サイクルにて前記2画面分の画像再生の動作が一巡し、1つのルーチンを終了する。

【0041】図1の画像再生装置は、マイクロプログラムに制御されつつパイプライン動作する。同図の画像再生装置において、座標信号または記憶手段から読み出されたデータは図中の実線の矢印に沿って各ブロック間を流れ、マイクロプログラムに基づいて形成された制御信号は、図中の破線の矢印に沿って各ブロックに供給される。ここで、前記座標信号または記憶手段から読み出されたデータは、ラッチを1回通過する毎に1クロック分ずつ遅延される。従って、図1の各回路ブロックは、図10に示されるマイクロプログラムに基づいた制御信号M P 0、M P 1、M P 2、M P 4、M P 6によって制御される。図10において、D C Kはドットクロック、D C Xはマスターカウンタ10に含まれるドットカウンタのカウンタ値、M P 0はマイクロプログラムの原信号であり、M P 1、M P 2、M P 4、M P 6は、それぞれ、前記M P 0を1クロック遅延させた信号、2クロック遅延させた信号、4クロック遅延させた信号、6クロック遅延させた信号を表している。また、信号M P 0、M P 1、M P 2、M P 4、M P 6中に記されている数字は、

図9に示されるサイクル番号である。この時、図1において、マスターカウンタ10、スクロール手段11及びアフィン変換器12は制御信号MP0に、ラッチ13及びラッチ13とラッチ16とに挟まれたセクタ14と領域判定手段15は制御信号MP1に、ラッチ16とラッチ19とに挟まれたB/Aアドレス生成手段17は制御信号MP2に、ラッチ20とラッチ21とに挟まれたC/Gアドレス生成手段18は制御信号MP4に、ラッチ22とラッチ27とに挟まれた回転データ処理回路25及びセクタ26は制御信号MP6に、それぞれ制御されることによってパイプライン処理が実行される。

【0042】次に、上述の制御信号MP0、MP1、MP2、MP4、MP6を形成する手段について述べる。

【0043】図11に、その第1の手段を示す。同図において、外部から供給されたマイクロプログラムrは、記憶手段101にいったん書き込まれ、パラレル・シリアル変換器102を介して、遅延手段103（例えばシフトレジスタ）に伝送される。前記遅延手段103は、マイクロプログラムrのデータ幅に等しいデータ幅（ビット数）を有し、マイクロプログラムrのサイクル数（前述の例では8サイクル）に等しい遅延段数を有する。遅延手段103の各出力が上述の制御信号MP0、MP1、MP2、MP4、MP6を与える。

【0044】図12に、その第2の手段を示す。同図において、外部から供給されたマイクロプログラムrは、記憶手段110にいったん書き込まれる。一方、プログラムカウンタ111は図10に述べた基本シーケンス中における現在の状態を示しており、その状態に応じたサイクル順のマイクロプログラムをセクタ112、113、114、115、116によって選択し、上述の制御信号MP0、MP1、MP2、MP4、MP6として図1の各ブロックに対して出力する。ここでプログラムカウンタ111とセクタ112、113、114、115、116とが遅延手段として働く。

【0045】図13に、その第3の手段を示す。同図において、マイクロプログラムrのデータ幅に等しいデータ幅（ビット数）を有し、マイクロプログラムrのサイクル数（前述の例では8サイクル）に等しい遅延段数を有するシフトレジスタ120の最終段出力端子123はセクタ121を介して前記シフトレジスタ120の入力端子122にリング状に接続される。制御信号sはマイクロプログラムrの、シフトレジスタ120への書き込み・保持をコントロールする信号であり、s=0ならば外部から供給されたマイクロプログラムrをシフトレジスタ120に書き込み、s=1ならばシフトレジスタ120の最終段出力信号sをシフトレジスタ120の入力端子122に帰還する。シフトレジスタ120の各出力24、125、126、127、128が、それぞれ上述の制御信号MP0、MP1、MP2、MP4、MP6を与える。この例の場合、シフトレジスタ120が

記憶手段及び遅延手段双方の役割を果たしている。

【0046】このように、マイクロプログラムを遅延させた信号で各部を制御することによりパイプライン動作を実現し、高速な処理を実現するとともに、各ステップ毎の小規模なハードウェアを提供するのみで高速度処理を実現でき、シーケンス制御のための複雑なハードウェアを不要としている。

【0047】図14は、本発明の第2の実施例の構造を説明するブロック図である。この第2の実施例においても、TVゲーム機、マルチメディアパソコン等に代表される会話形のコンピュータグラフィックスの場合を例にとり全体像を説明する。同図の画像再生装置は、拡大・縮小・回転モード並びにノーマルモードに対応可能であり、画像データまたは画像データ形成のために必要な諸データが格納されている記憶手段にアクセスするためのアドレス生成機能を備えている。ここで、ノーマルモードとは、拡大・縮小・回転処理を含まない表示モードのことを言う。また、前記画像再生装置は、複数枚の表示画面と複数種類の表示色モードとを実現する手段を備えている。前記画像再生装置が備えている前記各機能を実現するハードウェアの一部または全部は、マイクロプログラムに従って動作する。

【0048】まず、図14及び図15を用いて第2の実施例を説明する。図14の画像再生装置は、第1の回路系統と第2の回路系統とを含んで成る。第1の回路系統は、メモリアクセス制御回路221とアドレス生成回路222と記憶回路216とバッファレジスタ223とバッファレジスタ224とパラレル・シリアル変換器225とB/G面選択回路227とにより構成される。一方、第2の回路系統は、スタート制御回路212と逆アフィン変換器215とアドレス生成回路226と記憶回路216と後処理回路217とB/G面選択回路227とにより構成される。ここで、逆アフィン変換器215は、初期値計算回路213とドット単位の座標計算回路214とを含んで成り、拡大・縮小・回転のためのパラメータが格納されたレジスタ218と接続されている。前記第1の回路系統がノーマルモードの画像再生を司り、前記第2の回路系統が拡大・縮小・回転モードの画像再生を司る。また、前記第1の回路系統並びに前記第2の回路系統の回路ブロックのうち一部または全部が、マイクロプログラムが格納されたマイクロプログラム用レジスタ220に接続されている。マスターカウンタ210は、垂直同期信号を基準とした垂直方向のラスタ数及び水平同期信号を基準とした水平方向のドット数を数えるカウンタである。また、座標カウンタ211は、表示領域内における位置を座標(x, y)にて表現するためのものであり、ドットカウンタ（水平座標カウンタ）とラスタカウンタ（垂直座標カウンタ）から成る。

【0049】次に、図14の画像再生装置の動作を説明する。本実施例では、1キャラクタの単位を水平・垂直

とも8画素とした場合について述べる。キャラクタとは相関の高い複数の画素をひとまとめにしたものであり、例えばワードプロセッサの文字等がこれに当たる。TVゲームにおいても個々の画素に相当する画像データはCGデータの形で記憶手段に蓄えられ、このCGデータは、必要に応じて、相関の高い複数の画素を単位（例えば、水平・垂直共8画素単位）としてまとめられ、バックグラウンド属性テーブル（BAT）に格納される。

【0050】図16に本発明の画像再生装置の第2の実施例における動作例の概要を示している。同図に示すように、ノーマルモード、拡大・回転・縮小モード双方とも、表示期間はM0ドットである。ノーマルモードでの画像データの前処理には、M1ドットの期間を要する。一方、拡大・縮小・回転モードでの画像データの前処理には、M2ドットの期間を要する。この時、上記2つのモードにおいて表示タイミングを揃えるためには、ノーマルモードの時には、表示開始よりも少なくともM1ドット早くメモリアクセスを開始する必要がある。一方、拡大・縮小・回転モードの時には、表示開始よりも少なくともM2ドット早く座標の初期値計算を開始し、初期値計算終了後にメモリアクセスを行なう必要がある。このようなタイミングの設定を行なうことにより、ノーマルモード、拡大・回転・縮小モード双方の表示タイミングを合わせることができる。

【0051】図15において、波形230は水平同期信号を、波形231は図14のディスプレイ装置219における表示期間を示している。すなわち、水平同期信号の立ち上がりでマスターカウンタ210がドットのカウンタを開始し、K+1ドット目からK+Nドット目までディスプレイ219に画像の表示を行う。マスターカウンタ210のK+1ドット目が座標カウンタ211の1ドット目、マスターカウンタ210のK+Nドット目が座標カウンタ211のNドット目である。

【0052】図14において、表示モードがノーマルモードに設定されると、メモリアクセス制御回路221は、マスターカウンタ210のカウント値が表示開始時点より1キャラクタ（8ドット）分若い値、すなわち、K-7に達したところで、メモリアクセスの開始をアドレス生成回路222に対して指示し、図15の波形236に示されるタイミングで記憶手段216へのアクセスを行わせる。アドレス生成回路222は、マイクロプログラム用レジスタ220に格納されているマイクロコードに基づく制御信号aに従ってアドレス生成を行う。この結果、ノーマルモードの画像データbが、図15の波形237に示されるタイミングで読み出される。前記マイクロコードの内容は、複数の背景画像面のうちの面を使用するか、複数の色モードのうちのどれを用いるか、拡大・縮小・回転を行うか、等から成る。マイクロプログラムを実行する基本シーケンスは、キャラクタ単

位に設定されている。本実施例の場合、1基本シーケンスにおいて、1キャラクタ分、すなわち、8ドット分の画像データを読み出すようにマイクロプログラムが記述される。記述されるマイクロプログラムの例を図19

(A)に示している。記憶手段216より読み出された画像データbは、例えば、図19(B)に示されるように、ディスプレイ装置219に表示される順序とは異なる時間順に並んでいる。第1のバッファレジスタ223は、画像データbを表示順に並び替える目的で設けられている。画像データbは、第1のバッファレジスタ223と第2のバッファレジスタ224とパラレル・シリアル変換器225とを通過することによって、図14に示すように、表示順に並び替えられた画像信号cに変換される。図15より明らかなように、画像データbの1キャラクタ分に相当する任意の部分データ237は、少なくとも8ドット分、すなわち、1キャラクタ分遅延されて、画像データcの1キャラクタ分に相当する部分データ238に変換される。

【0053】一方、図15において、表示モードが拡大・縮小・回転モードに設定されると、スタート制御回路212は、波形234に示すように、マスターカウンタ210のカウント値がK-Lに達したところで逆アフィン変換の初期値計算の開始を逆アフィン変換器215に指示する。ただし、逆アフィン変換の初期値計算に要する時間は最大L+1ドットクロック分であるとする。次に、スタート制御回路212は、マスターカウンタ210のカウント値がK+1に達したところで前記初期値計算の結果に基づくドット毎の座標計算の開始を逆アフィン変換器215に指示する。その結果、第1のアドレス生成回路226にて、逆アフィン変換された座標値に基づくアドレスが生成され、記憶回路216より拡大・縮小・回転モードの画像データdが読み出され、波形235に示されるタイミングでディスプレイ219に表示される。ここで、初期値計算の開始は、スタート制御回路212から初期値計算回路213に制御信号eを与えることによって行われる。初期値計算開始のカウント値K-Lは、逆アフィン変換の初期値計算に要する時間がL+1ドットクロック分に相当することに基づいて、拡大・縮小・回転モードの画像データdの表示タイミングがノーマルモードの画像データcの表示タイミングに一致するように決定される。

【0054】拡大・縮小・回転モードで使用する逆アフィン変換器215、並びにその構成要素である初期値計算回路213とドット毎の座標計算回路214について、以下にその動作を詳細に説明する。逆アフィン変換器215は逆アフィン変換を実行するハードウェアであり、元座標（X1，Y1）に対して（式1）、（式2）で示される座標変換を行うことによって新座標（X2，Y2）を得るものである。

$$X2 = A(X1 - XC) + B(Y1 - YC) + XC \quad \dots \quad (式1)$$

$$Y2 = C(X1 - XC) + D(Y1 - YC) + YC \quad \cdots \quad (式2)$$

このようにして得られた新座標(X2, Y2)に対応する画像データを記憶回路216から読み出し、その画像データの内容を元座標(X1, Y1)の位置に表示する

$$X2 = AX1 + BY1 + (1-A)XC - BYC \quad \cdots \quad (式3)$$

$$Y2 = CX1 + DY1 - CXC + (1-D)YC \quad \cdots \quad (式4)$$

【0055】従来行われていた逆アフィン変換による拡大・縮小・回転表示では、(式3)、(式4)の計算を、1ドットに1回ずつ行っていた。然るに、従来の方式によると、1ドットについて4回の乗算と4回の加減算が必要となり、現在及び近い将来の集積回路技術ではその実現のために、例えば多大なハードウェアを必要とする等、膨大な犠牲を払わなくてはならない。そこで、本発明では最小限のハードウェアにて拡大・縮小・

$$X1 = BY1 + (1-A)XC - BYC \quad \cdots \quad (式5)$$

$$Y1 = DY1 - CXC + (1-D)YC \quad \cdots \quad (式6)$$

$$XD = A \quad \cdots \quad (式7)$$

$$YD = C \quad \cdots \quad (式8)$$

【0056】また、次式(式9)、(式10)で示される初期値X1'、Y1'の計算を垂直帰線消去期間中に実行し、その直後の表示期間中の毎走査線ごとに(式11)、(式12)で示される定数XD'、YD'の加算を

$$X1' = (1-A)XC - BYC \quad \cdots \quad (式8)$$

$$Y1' = -CXC + (1-D)YC \quad \cdots \quad (式9)$$

$$XD' = B \quad \cdots \quad (式10)$$

$$YD' = D \quad \cdots \quad (式11)$$

上記初期値X1, Y1, X1', Y1'の計算を実行するブロックが初期値計算回路213であり、上記定数XD, YD, XD', YD'の計算を実行するブロックがドット単位の座標計算回路214である。

【0057】次に、図14の画像データbを表示順に並べ替える目的で設けられている第1のバッファレジスタ223、遅延時間を制御する目的で設けられている第2のバッファレジスタ224、及びパラレル・シリアル変換器225について、いくつかの例をもとに説明する。

【0058】まず、画像データの種類と構造、マイクロプログラムの記述例、及び図14の記憶回路216に格納されている画像データの形態について説明する。説明の便宜上、本発明の画像再生装置がサポートする画像データの条件を次のようにした場合を例にとる。

- ① 表示可能な色モードを4色(2ビット)、16色(4ビット)、256色(8ビット)の3種類とする。
- ② 背景画像面の面数をA面及びB面の2面とする。
- ③ 前記記憶回路216が格納している画像データのデータ幅及びデータ転送用バスの幅を8ビットとする。
- ④ 画像データをキャラクタ単位で扱う場合は、そのサイズを水平、垂直共8画素とする。

【0059】図17に前述のキャラクタの構造を示す。同図において、画面250内の任意のキャラクタ251は水平、垂直それぞれ方向に8個ずつ、合計64個の

ことで、元座標系での拡大・縮小・回転表示が実現される。さて、(式1)、(式2)を展開することによって(式3)、(式4)が得られる。

回転表示を実現するべく、(式3)、(式4)の計算において、次式(式5)、(式6)で示される初期値X1, Y1の計算を、水平帰線消去期間中に実行し、その直後の表示期間中の毎ドットに対して、次式(式7)、(式8)で示される定数XD, YDの加算のみを行うようにする。ここで、元座標X1は、表示期間中、X1=0からX1=Nまで1ずつ増加する。

行い、毎ドットごとに(式7)、(式8)で示される定数XD, YDの加算を行うようにしても同様の効果が得られる。

画素を構成要素として成る。以下の説明で、前記キャラクタ内における任意の水平ライン上の画素を順にP0, P1, P2, ..., P6, P7と称する。

【0060】図18(A)、(B)、(C)は、表示可能な色モードと画像データの構造との対応を示した図である。また、同図はそれぞれの色モードの画像データが前記記憶回路216に格納されるとき格納形態を示している。ここで、記憶回路216の1ワードは8ビットであるものとする。図18(A)は、4色モードの画像データ構造で、1画素あたり2ビットのデータがP0, P1, P2, P3のように並べられており、2ワードで8画素分(P0, P1, P2, P3/P4, P5, P6, P7)となる。同様に、図18(B)は、16色モードの画像データ構造を示したもので、1画素あたり4ビットのデータがP0, P1のように並べられており、4ワードで8画素分(P0, P1/P2, P3/P4, P5/P6, P7)となる。図18(C)は、256色モードの場合で、1画素あたり8ビットで構成され、8ワードで8画素分(P0/P1/P2/P3/P4/P5/P6/P7)となる。以上のように、記憶回路の1ワード当たりのビット数が、複数ある色モードの1画素あたりのデータ語長の公倍数となることは、本発明の特徴の1つであり、記憶回路の容量を効率的に利用できるという長所を生み出す。

【0061】図19(A)にマイクロプログラムの記述例を示す。ここで、マイクロプログラムの1サイクルを1ドットクロックに等しとする。また、マイクロプログラムの基本周期に含まれるサイクル数を前記キャラクタ251の水平方向の画素数の整数倍に定めることは大変有効である。同記述例は、A、B2面ある背景画像面のうちA面にノーマル・16色モードの画像を、B面にノーマル・4色モードの画像を再生する例である。「NOP」とは、ノーオペレーションの意味であり、このとき記憶回路216へのアクセスは行われない。

【0062】図19(B)に、図19(A)に例示したマイクロプログラムに従って前記記憶回路216より読み出された画像データhを時系列で示す。図19(B)より明らかなように、記憶回路216より読み出された直後の画像データhは、2面分の画像データが表示順と全く異なる順番で並べられ、且つ、ビット並びをみても表示形態とは全く異なる形態で並べられている。

【0063】記憶回路216より読み出された画像データを表示順に並べ換えるための回路手段を図20に示す。以下、画像データを表示順に並べ換えるための回路手段のことをワード単位データ/ドット単位データ変換器と称す。図20において、ワード単位データ/ドット単位データ変換器は、デコーダ260と、切り換え回路261と、第1のバッファメモリ262と、パラレル・シリアル変換回路263とを含んで成る。デコーダ260には、図14のマイクロプログラム用レジスタ220等の回路ブロックから制御情報fが入力され、切り換え回路261には前記デコーダ260からデコード済みの制御信号gが、図214の記憶回路216より画像データhが入力される。ここで、前記制御情報fは、

① 表示する色モードと背景画像面との組み合わせ情報(A面、B面にそれぞれ何色モードの表示をするか)、② 到来したデータが、マイクロプログラムの1基本周期において同一背景画像面データの何ワード目のデータか、等の情報を含んで成る。第1のバッファメモリ262には切り換え済みの画像データiが入力される。また、パラレル・シリアル変換器263には並び換え済みのバッファメモリ262の出力画像データjが入力される。前記パラレル・シリアル変換器263からは表示順に並べ換えられた画像データkが出力される。

【0064】次に、前記ワード単位データ/ドット単位データ変換器の動作を詳細に説明する。本実施例では、前述した制約、すなわち、表示可能な色モードを4色、16色、256色の3種類としたこと、背景画像面の数を2面としたこと、記憶回路216が記憶しているデータの幅を1ワード8ビットとしたこと、マイクロプログラムの基本周期を8サイクルとしたことのため、表示可能な色モードの組み合わせは、図21に示す6通りとなる。

【0065】図22は、図20に示したワード単位デー

タ/ドット単位データ変換器の各部の信号のタイミング図である。前記ワード単位データ/ドット単位データ変換器は、次の操作を施すことによって、受け取った画像データhを表示順に並べ換える。デコーダ260は、受け取った制御情報fを解読し、切り換え回路261で画像データに対する切り換え動作を行うための制御信号gを生成する。切り換え回路261は、前記制御信号gに制御されつつ、8ビットの画像データhの切り換えを行い、画像データiに変換した後、この画像データiを第1のバッファメモリ262の所定アドレスに書き込む。この書き込み動作終了後、第1のバッファメモリ262は、第1のバッファメモリ262自身より読み出された8画素分の画像データjをパラレル・シリアル変換器263に対して一斉に転送する。画像データjの前記一斉転送は、転送バス267に同期して、マイクロプログラムの1基本周期(本実施例では8ドットクロック)に1回ずつ行われる。ここで、2面表示の場合には、画像データjに、A、B2つの背景画像面に対応した画像データが部分データとして同時に含まれる。また、画像データjのデータ幅は最大64ビット(8ドット×8ビット)となる。A面にノーマル16色、B面にノーマル4色の表示をする場合、画像データのデータ幅は、8ドット×4ビット+8ドット×2ビットで合計48ビットとなる。パラレル・シリアル変換器263は、受け取った画像データjをドットクロック266に同期した形でドット単位の画像データkとして表示順に出力する。画像データkのデータ幅は、A面にノーマル16色、B面にノーマル4色の表示をする場合、4ビット×2ビットで合計6ビットとなる。ここで、パラレル・シリアル変換器263は、例えば、パラレル入力シリアル出力タイプのシフトレジスタなどで構成される。

【0066】図21のそれぞれの組み合わせに対する並び換え結果を図23(A)、(B)、(C)、(D)、(E)、(F)に例示する。図23(A)は256色1面の場合、図23(B)は16色2面の場合、図23(C)は16色1面と4色1面の場合、図23(D)は16色1面の場合、図23(E)は4色2面の場合、図23(F)は4色1面の場合をそれぞれ表している。なお、図23(A)、(B)、(E)の太枠は、並べかえる前の1ワード単位のデータを示している。256色1面の場合には、図18(C)に示すように、並びかえる前の1ワード単位のデータが図23(A)に示すように、そのままワード単位のデータとして出力される。また、16色2面の場合には、図18(B)に示すように、例えば、ワード単位で読み出されたP6、P7は、2つに分割され、別の面のP6、P7と組み合わせ、図23(B)に示すように並べかえられる。4色2面の場合には、図18(A)に示すように、例えば、ワード単位で読み出されたP4、P5、P6、P7は、それぞれに分割され、別の面のP4、P5、P6、P7と組み合

わせ、図23(E)に示すように並べかえられる。このとき、使用されない部分は空きとなる。

【0067】前記ワード単位データ／ドット単位データ変換器にて並べ換え操作を完了した画像データkのタイミング図を図22に示す。図22に示す画像データk1、k2は画像データkの部分データであり、図19(A)に示したマイクロプログラムに従って再生される画像データである。画像データk1はA面の16色画像信号で幅4ビット、画像データk2はB面の4色画像信号で幅2ビットである。ここで、ドットクロック266の1周期につき1画素分の画像データが出力される。

【0068】図24に、図20の切り換え回路261及び第1のバッファメモリ262のさらに詳細な構成例を示す。図24において、デコード260には、制御情報として、予めレジスタ等に設定されている背景画像面(A面またはB面)と色モードとの組み合わせに関する組み合わせ情報f1と、現在到来した画像データhに関する付帯情報f2、例えば、現在到来した画像データhの面番号、色モード等が入力され、デコード済みの制御信号g1、g2、・・・、g6が出力される。制御信号g1、g2、・・・、g6は図21に示した6通りの組み合わせに対応する。図24において、切り換え回路261には、画像データhと前記制御信号g1、g2、・・・、g6が入力され、切り換え後の画像データi1、i2、i3、i4、・・・が出力される。切り換え回路261はセレクト270、271、272、273、274、275、配線部276、論理和ゲート277、278、279、280、・・・等を含んで成る。本実施例の場合、第1のバッファメモリの容量は64ビット(8ドット×8ビット)であり、切り換え回路261からの64本の出力端子のそれぞれが64個のメモリセル281、282、283、284、・・・に接続されている。全てのメモリセル281、282、283、284、・・・の出力64本はデータバス285として束ねられ、図20に示される画像データjを形成する。

【0069】図25は、ワード単位データ／ドット単位データ変換器の別の構成例である。その特徴は、第1のバッファメモリ262とパラレル・シリアル変換器263との間に第2のバッファメモリ264を介在させることにある。図25において、デコード260によって制御信号gが生成されること、切り換え回路261によって、画像データhから切り換え済みの画像データiが得られること、及び、第1のバッファメモリ262の出力端子に並べ換えを施された画像データjが得られることは前述した図20のワード単位データ／ドット単位データ変換器の動作と同じである。

【0070】以下、図26を用いて、図25のワード単位データ／ドット単位データ変換器の動作を説明する。前記画像データjは、転送バス267に同期して第1のバッファメモリ262より第2のバッファメモリ26

4に一斉転送される。第2のバッファメモリ264は、前記転送バス267をトリガとして画像データjをパラレル・シリアル変換器263に出力する。ここで、画像データjの部分データ287は、内容が画像データjの部分データ286と同一で時間的に遅延されたデータである。ところで、画像データjは、A面に対応した16色モードの画像データj1と、B面に対応した4色モードの画像データj2とを含んでいる。第2のバッファメモリ264に蓄えられているデータをパラレル・シリアル変換器263に転送するためのトリガパルスとして、画像データj1用書き込みバス288及び画像データj2用書き込みバス289の2種類を設けることにより、パラレル・シリアル変換器263からの出力画像信号の遅延量をA面とB面とで独立に制御することが可能となる。図26の例の場合、書き込みバス288によって転送された画像信号j1は2ドット遅れの画像信号k1として、また、書き込みバス289によって転送された画像信号j2は6ドット遅れの画像信号k2としてパラレル・シリアル変換器263から出力される。

【0071】以上のように、第2のバッファレジスタ264を介在させることにより、画像データの遅延量調整を背景画像面毎に独立して行うことが可能になる。画像信号を遅延させることは、ディスプレイ装置において画像の位置をずらすことに相当するので、上記の手段を設けることによって複数の背景画像をずらすと表示したり、複数の背景画像をそれぞれ独立にスクロール表示したりすることが可能になる。この際、キャラクター単位のスクロールを、第1の実施例のように前記記憶手段216へのアクセサタイミングを調整することによって実現し、キャラクター単位未満、例えば、本実施例の場合には8ドット未満のスクロールを第2のバッファレジスタ264での遅延量調整によって実現することにより、効果的なスクロール表示が可能となる。

【0072】図27は、ワード単位データ／ドット単位データ変換器の更に別の構成例である。その特徴は、パラレル・シリアル変換器290を、例えば図28のように構成することによって、パラレル・シリアル変換器290自体にランダム書き込み可能な記憶手段の機能を持たせることにある。図28はパラレル・シリアル変換器290の詳細構造の一例を示したものである。図28において、回路ブロック291は画像データ1ビット分のパラレル・シリアル変換器であり、前記回路ブロック291は、制御信号gが入力されるライトパルスm1、m2、・・・、m3を出力するライトパルス生成回路294及び複数個(本実施例の場合、8個)の単位セル295、296、・・・、297を含んで成る。前記単位セル295は、セレクト298、299とフリップフロップ300とを含んでなり、単位セル296、・・・、297も同様である。回路ブロック292、・・・、293は

回路ブロック291と同一構造を有する画像データ1ビット分のパラレル・シリアル変換器である。本実施例の場合、8個の、1ビット分のパラレル・シリアル変換器291、292、・・・、293によってデータ幅8ビットのパラレル・シリアル変換器290が構成される。

【0073】図28に示されるパラレル・シリアル変換器の動作を以下に説明する。ライトパルス生成回路294は、受け取った制御信号gに基づいてライトパルスm1、m2、・・・、m3を生成し、各単位セル295、296、・・・、297に伝送する。任意の単位セル、例えば単位セル296において、ライト可能モード／シリアル転送モード信号301がライト可能モードを指示していれば、セレクト298は画像データhの部分信号h2を選択しパラレル入力としてフリップフロップ300のデータ入力端子Dに供給する。この時、セレクト299はライトパルスm2を選択しフリップフロップ300のクロック入力端子CKに供給する。以上により単位セルへのデータ書き込みが行われる。一方、前記ライト可能モード／シリアル転送モード信号301がシリアル転送モードを指示していれば、セレクト298は前段の単位セル295の出力データ303を選択しシリアル入力としてフリップフロップ300のデータ入力端子Dに供給する。この時、セレクト299はシリアル転送クロック302を選択しフリップフロップ300のクロック入力端子CKに供給する。以上により単位セル間でのシリアルデータ転送がシフトレジスタ動作により行われる。以上のように、前記シリアル・パラレル変換器290に、画像データの並べ換え機能とパラレル・シリアル変換機能とを同時に持たせることも可能である。

【0074】このように、画像再生装置を第2の実施例のように構成することによって、ノーマルモードと拡大・縮小・回転モードの両方に対応することが可能となる。このとき、上記2つの回路手段の間で送る画像信号のタイミングずれを補償し表示タイミングの揃ったノーマルモード及び拡大・縮小・回転モードの画像を得ることが出来る。また、マイクロプログラム制御を導入したことによって生ずる、記憶手段から読み出された画像データの並びが表示順と異なった並びになってしまうという問題を、僅かなハードウェアの追加によって解決することが出来る。更に、図25に述べた回路手段を用いることによって、画像データの遅延調整をプログラマブルに実現することが可能になるという副次的な効果が得られる。

【0075】

【発明の効果】以上述べた如く、本発明によれば、TVゲーム機・パソコン用表示装置・マルチメディア機器等のコンピュータグラフィックスに要求されるようになりつつある、多種類の表示色モード、マルチ画面表示、様々な表示効果を可能ならしめるための複雑な画像処理等に対応する多くの高度な機能を、極めて小規模のハード

ウェアにて実現することが出来る。また、前記ハードウェアを設計するために要する工数は、本発明によらない場合のそれと比較して格段に少なくて済む。このため、前記多くの高度な機能具备した画像再生装置を1C化する際の所要コストを著しく低減することが可能となる。

【0076】更に、画像再生装置が備えている前記各機能を実現するハードウェアの一部または全部をマイクロプログラムに従って動作せしめるようにしたことにより以下のような効果も生まれてくる。すなわち、画像データの内容変化に伴ってマイクロプログラムを最適なものに書き換えておくことにより、常に、第1の実施例に述べた記憶手段24の利用効率を高く保つことが出来る。その結果、無駄の無いメモリ使用が成され本願の画像再生装置を用いた製品のコストパフォーマンスが高められる。さらに、第2の実施例で示したように、各画面毎にスクロール量をプログラマブルに設定できるなど、自由度の広い画像再生装置を得ることが出来る。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構造を説明したブロック図である。

【図2】原画領域と表示領域を説明するための図である。

【図3】マスターカウンタによって生成される表示領域内座標を説明した図である。

【図4】(A)は、キャラクタの構造を説明するための図である。(B)は、原画の構造を説明するための図である。(C)は、Cデータの格納方法を説明するための図である。(D)は、キャラクタコードの格納方法を説明するための図である。

【図5】図1におけるスクロール手段11の詳細な実施例を示した図である。

【図6】図1における遊アフィン変換手段12の詳細な実施例を示した図である。

【図7】図1における領域判定手段15の詳細な実施例を示した図である。

【図8】図1におけるB A Tアドレス生成手段17及びC Gアドレス生成手段18の詳細な実施例を示した図である。

【図9】マイクロプログラムの一例を示した図である。

【図10】マイクロプログラムの流れを説明するためのタイミング図である。

【図11】図10における制御信号MP0、MP1、MP2、MP4、MP6を形成する手段の第1の具体例を示した図である。

【図12】図10における制御信号MP0、MP1、MP2、MP4、MP6を形成する手段の第2の具体例を示した図である。

【図13】図10における制御信号MP0、MP1、MP2、MP4、MP6を形成する手段の第3の具体例を示した図である。

示した図である。

【図 1 4】本発明の第 2 の実施例の構造を説明したブロック図である。

【図 1 5】本発明の第 2 の実施例の動作を説明したタイミング図である。

【図 1 6】ノーマルモード、拡大・縮小・回転モードの動作タイミングの概略の説明図である。

【図 1 7】キャラクタと画素の関係を説明した図である。

【図 1 8】各種色モードの画像データを記憶回路に格納する時のデータ構造を説明した図である。

【図 1 9】(A) は、マイクロプログラムの記述例を示した図である。(B) は、記憶手段より読み出された直後の画像データの並びを説明した図である。

【図 2 0】ワード単位データ／ドット単位データ変換器の一例を説明したブロック図である。

【図 2 1】表示可能な色モードの組み合わせの説明図である。

【図 2 2】図 2 0 のワード単位データ／ドット単位データ変換器における各部の信号タイミングを示した図である。

【図 2 3】ワード単位データ／ドット単位データ変換器によって並べ換えられたデータの一例を示した図である。

【図 2 4】図 2 0 のワード単位データ／ドット単位データ変換器の詳細構造を示した図である。

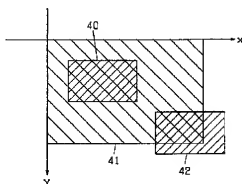
【図 2 5】ワード単位データ／ドット単位データ変換器の別の構成例を説明したブロック図である。

【図 2 6】図 2 5 のワード単位データ／ドット単位データ変換器における各部の信号タイミングを示した図である。

【図 2 7】ワード単位データ／ドット単位データ変換器の更に別の構成例を説明したブロック図である。

【図 2 8】図 2 7 の詳細構造を示したブロック図である。

【図 2】

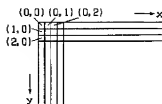


【図 2 9】従来技術を説明するためのブロック図である。

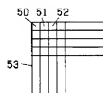
【符号の説明】

10	マスターカウンタ
11	スクロール手段
12	逆アフィン変換器
14	セレクト
15	領域判定手段
17	B A T アドレス生成手段
18	C G アドレス生成手段
23	メモリインタフェース手段
24	記憶手段
25	回転データ処理回路
26	セレクト
28	マイクロプログラム記憶手段
29	マイクロプログラム遅延手段
30	レジスタ
13, 16, 19, 20, 21, 22, 27, 31	ラッチ
210	マスターカウンタ
211	座標カウンタ
212	スタート制御回路
213	初期値計算回路
214	ドット単位の座標計算回路
215	逆アフィン変換器
216	記憶回路
217	後処理回路
218	レジスタ
219	ディスプレイ
220	マイクロプログラム用レジスタ
221	メモリアクセス制御回路
222, 226	アドレス生成回路
223, 224	バッファレジスタ
225	パラレル・シリアル変換器
227	B G 画面選択回路

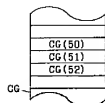
【図 3】



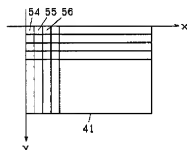
【図4】



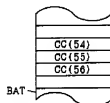
(A)



(C)

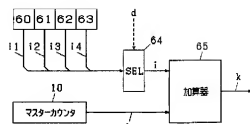


(B)



(D)

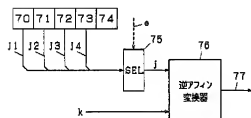
【図5】



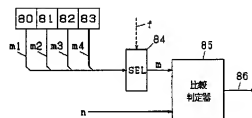
【図9】

サイクル番号	バスA	バスB
0		1面CGアドレス1ワード目
1		2ワード目
2		2面CGアドレス1ワード目
3		2ワード目
4		3ワード目
5		4ワード目
6	1面BATアドレス	
7		

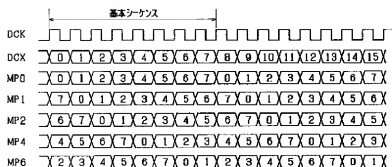
【図6】



【図7】



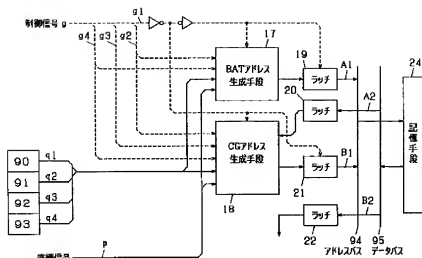
【図10】



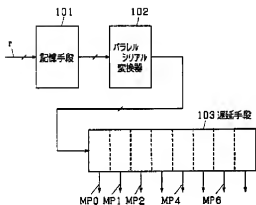
【図21】

(A)	256色 1面
(B)	16色 2面
(C)	16色 1面, 4色 1面
(D)	16色 1面
(E)	4色 2面
(F)	4色 1面

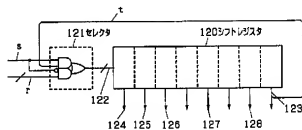
【図 8】



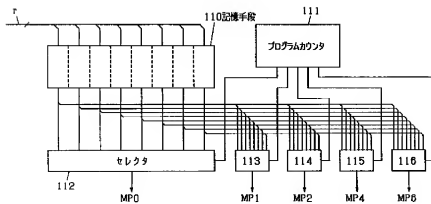
【図 11】



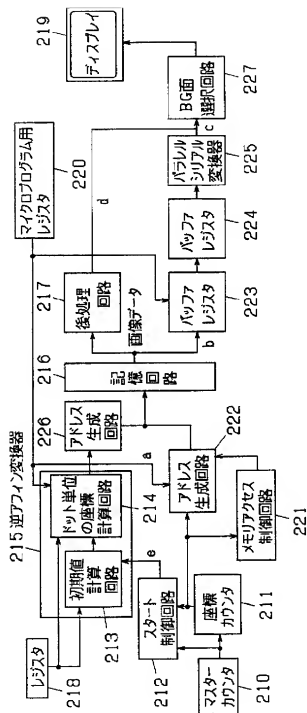
【図 13】



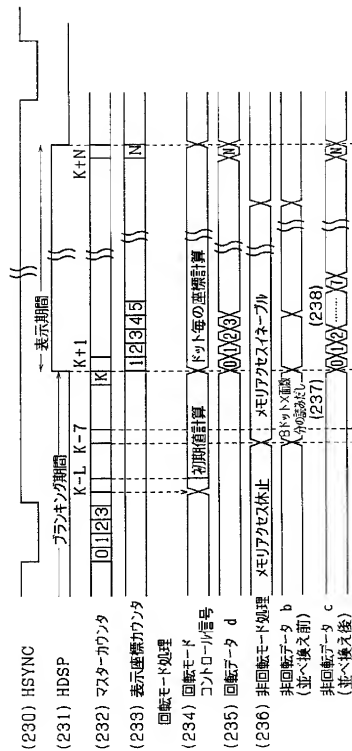
【図 12】



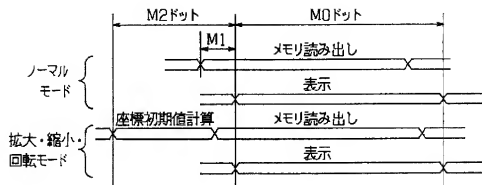
【図 14】



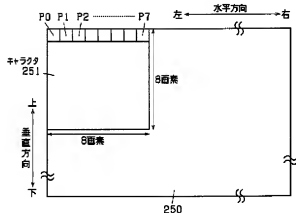
【図 15】



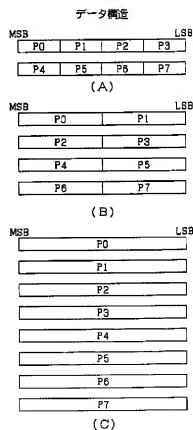
【図16】



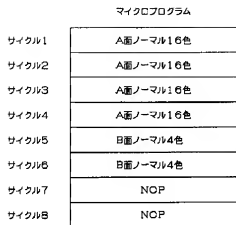
【図17】



【図18】

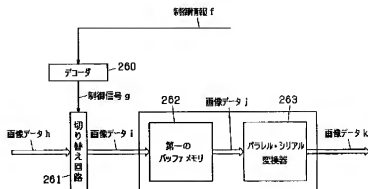


【図19】

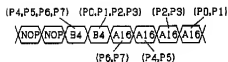


(A)

【図20】

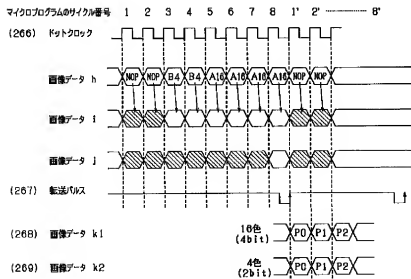


(基本周期)

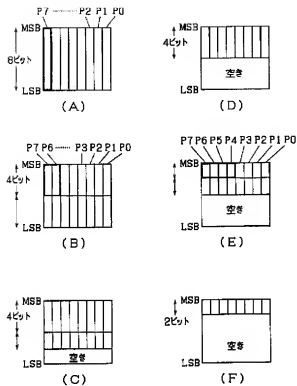


(B)

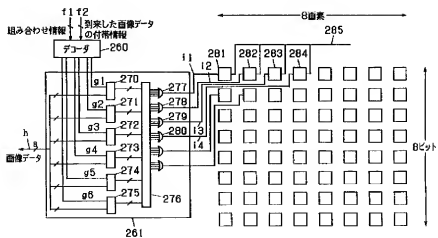
【図22】



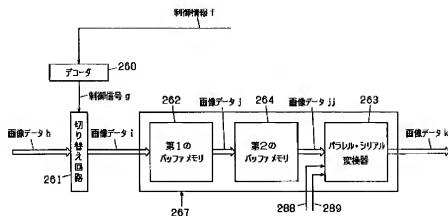
【図23】



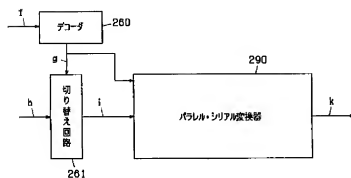
【図24】



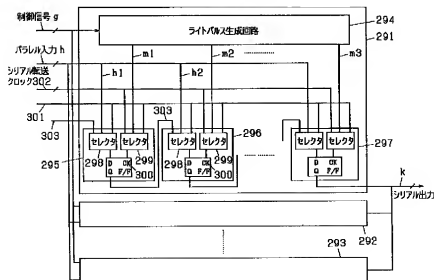
【図 2 5】



【図 2 7】



【図 2 8】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-020838

(43)Date of publication of application : 24.01.1995

(51)Int.Cl. G09G 5/00

G06F 3/153

G06T 11/80

G09G 5/34

G09G 5/36

(21)Application number : 05-151187 (71)Applicant : SEIKO EPSON CORP

HUDSON SOFT CO LTD

(22)Date of filing : 28.05.1993 (72)Inventor : MISAWA TOSHIYUKI

(30)Priority

Priority number : 04140336

Priority date : 01.06.1992

Priority country : JP

(54) IMAGE REPRODUCING DEVICE

(57)Abstract:

PURPOSE: To realize many high degree functions such as various kinds of display color modes, a multiscreeen display, complex image processing, for enabling various display effects etc., in a TV game machine, a display for a personal computer and a multi-medium equipment, etc., by a remarkably small scale hardware.

CONSTITUTION: A coordinate signal generated by a master counter 10 is deformed into an address for a storage means 24 through a scroll means 11, an inverse affine transformer 12, an area decision means 15 and BAT and CG address generation means 17, 18. The operation of these hardware and the access to the storage means 24 are controlled by a micro program. The micro program is stored in the storage means 28, and a delay amount is adjusted by a delay means 9.

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A means to generate coordinates on a display screen.

A memory measure which stores data used for image formation.

It has a means to generate an address for accessing said memory measure, and they are two or more screens and two or more display modes.

Are the picture reproducer provided with the above and it has a means to memorize a micro program including control information corresponding to two or more screens, and a means by which said micro program is delayed, A means to generate an address for accessing said memory measure is provided being controlled by said micro program.

[Claim 2]The picture reproducer according to claim 1 which said micro program is provided with a scroll means to scroll a reproduced image using said scroll parameter, having a register which stores a scroll parameter corresponding to said two or more screens, and being controlled, and is characterized by things.

[Claim 3]The picture reproducer according to claim 1 which is provided with zooming and a reverse affine conversion method to rotate for a reproduced image using said parameter for reverse affine transformation, and is characterized by things having a register which stores a parameter for reverse affine transformation, and being controlled by said micro program.

[Claim 4]The picture reproducer according to claim 1 which is provided with

whether coordinates are in a field of an original picture using said original picture size or it is outside a field, having a register which stores original picture size corresponding to said two or more screens, and being controlled by said micro program, and an area judgment means to judge, and is characterized by things.

[Claim 5]The picture reproducer according to claim 1, wherein it is connected to an input of a means delayed in a micro program via a parallel serial converter and an output of a means to memorize a micro program changes.

[Claim 6]The picture reproducer comprising according to claim 1:

A delay means constituted by selector which chooses a micro program of the order of a cycle according to a program counter and said present state which show the present state in a primitive sequence.

A means to memorize a micro program.

[Claim 7]A memory measure and a delay means of said micro program, The picture reproducer according to claim 1 constituting with a selector which changes as inputs a control signal which controls writing and maintenance to a shift register of a micro program, and a shift register connected to ring shape.

[Claim 8]A means to generate coordinates on a display screen.

Two or more display modes which are provided with a memory measure which stores data used for image formation, and a means to generate an address for

accessing said memory measure, and include zooming and rotation mode, and a normal mode at least.

A reverse affine converter which is the picture reproducer provided with the above and realizes zooming and rotation, A means to perform at least a part of reverse affine operation before a reverse affine operation for every dot, A means which coincides an effective display period by circuit means which puts in order and changes after-access image data into said memory measure in said normal mode at display order, and said zooming and rotation mode, and a normal mode is provided.

[Claim 9]The picture reproducer according to claim 8 determining that the number of bits per [which stores data used for said image formation] word of a memory measure becomes a common multiple of data word length per pixel of two or more color modes.

[Claim 10]The picture reproducer according to claim 8 providing the number of cycles which is the picture reproducer controlled by a micro program, and is contained in a fundamental period of a micro program in an integral multiple of a horizontal pixel number of a character.

[Claim 11]It is the picture reproducer which has a means to direct whether a display mode is a normal mode or they are zooming and rotation mode, If the

instruction content is a normal mode, memory access will be made to start early by at least 1 character rather than a display start, The picture reproducer according to claim 8 which possesses a means to perform initial value calculation of affine transformation in advance of a display start, and to make memory access start after that on the other hand if the instruction content is zooming and rotation mode, and is characterized by things.

[Claim 12]A means to generate coordinates on a display screen, and a memory measure which stores data used for image formation, In picture reproducer which is provided with a means to generate an address for accessing said memory measure, and is controlled by a micro program, A decoder into which control information according to said micro program is inputted, A switching circuit which switches selectively image data read from said memory measure based on a control signal outputted from this decoder, the 1st buffer memory that stores switched image data temporarily, and picture reproducer which possesses a parallel serial converter and is characterized by things.

[Claim 13]The 2nd buffer memory is made to intervene between said 1st buffer memory and said parallel serial converter, The picture reproducer according to claim 12 which possesses a means to transmit each of two or more piece data of data currently stored in said 2nd buffer memory to said parallel serial converter to independent timing according to a parameter set from the outside, and is

characterized by things.

[Claim 14]Picture reproducer which is provided with a means to generate coordinates characterized by comprising the following on a display screen, a memory measure which stores data used for image formation, and a means to generate an address for accessing said memory measure, and is controlled by a micro program.

A decoder into which control information is inputted.

A switching circuit which switches selectively image data read from said memory measure according to said micro program.

A selector and a store circuit cell.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application]This invention relates to the picture reproducer used for a TV game machine, computer graphics, the display for personal computers, multimedia apparatus, etc.

[0002]

[Description of the Prior Art]Conventionally, picture reproducer for background screens used for a TV game machine etc. was realized with structure as shown in drawing 29.

[0003]In the figure, by the scroll process 2, special processes, such as scrolling, are performed to the signal showing x on the display screen generated by the master counter 1, and a y-coordinate, and it is inputted into the address generation circuit 3. Next, the address of the request generated in the address generation circuit 3 is inputted into RAM4, and, as a result, the character code corresponding to a desired character is outputted from RAM4. By passing through figure ROM5, a first half character code is changed into desired graphic data, and is transmitted to the display 6.

[0004]Conventionally, the number of fields of the background screen used as the processing object of described image playback equipment is restricted only to the 1st page in most cases. Even when two or more background screens were temporarily made into a processing object, the number of fields is at most the 2nd page about, and the kind of display mode (color number) was also restricted to at most about two kinds. For this reason, in the picture reproducer of drawing 29, the inside of each circuit block and the interconnection between each circuit block were constituted by the fixed hardware logic which is not programmable.

[0005]It was rare to need a complicated operation in the conventional picture

reproducer mentioned above, and for a hardware scale to support zooming and rotation mode which becomes large. When the image data read from a memory measure was read, it was put in order by display order.

[0006]

[Problem(s) to be Solved by the Invention]These days, in a TV game machine, computer graphics, the display for personal computers, multimedia apparatus, etc., the foreground-color mode of various sorts is increasingly required from the natural drawing display of 16,770,000 colors to the character representation of four colors. Simultaneously with it, the 4th page or the multi-picture features beyond it have been needed also about the number of fields of the background screen which can be displayed. Various image processing for realizing advanced display effects, such as scrolling, rotation, expansion, reduction, and tiling, is also called for.

[0007]However, if it is going to meet such a demand with the conventional picture reproducer which comprised a hardware logic subject, a serious problem which is listed to below will arise.

[0008]** All the combination of many display modes produced when two or more the display mode, two or more background screens, and the various image processing modes of a kind exist must be realized by hard logic. For this reason, wiring will become very complicated while circuit structure becomes huge.

[0009]** Complicated sequence control for accessing RAM (RAM4 in drawing 29) in which picture information is stored especially must be performed by hardware, and a sequencer becomes very complicated. Simultaneously, a huge help and cost, and time are needed for the design of a sequencer.

[0010]** For the reason of the above-mentioned ** and **, when carrying out the IC form of this picture reproducer, cost will become remarkably high.

[0011]Though a micro program is used, when it is going to meet the above-mentioned demand, a new circuit means which is expressed below is needed.

** A means to realize picture reproducer which can respond to real time by the small-scale possible hardware to the display mode of various sorts including zooming and rotation mode, and a normal mode.

** The circuit means for controlling by the micro program with which the programmer set up operation of picture reproducer with the display mode of various sorts, and two or more background screens.

[0012]A means to compensate a gap of the display start timing between zooming and the rotation mode, and the normal mode which are produced by having added above-mentioned circuit means ** and **, and to arrange display timing is needed. At the time of a normal mode, it usually comes out of the background image data of two or more pages which has two or more display

modes read by the micro program to have not stood in a line in order of the dot unit displayed on a display device, and, for a certain reason, the means which rearranges this into display order is needed.

[0013]This invention solves this technical problem and aims at offer of the possible picture reproducer of realizing a function advanced with small-scale hardware.

[0014]

[Means for Solving the Problem]Picture reproducer of this invention has the following features as above-mentioned The means for solving a technical problem.

[0015]A means to generate coordinates on a display screen, and a memory measure which stores data used for image formation, In picture reproducer which is provided with a means to generate an address for accessing said memory measure, and has two or more screens and two or more display modes, A means to generate an address for accessing said memory measure is provided having a means to memorize a micro program including control information corresponding to two or more screens, and a means by which said micro program is delayed, and being controlled by said micro program.

[0016]It has a scroll means to scroll a reproduced image using said scroll parameter, having a register which stores a scroll parameter corresponding to

said two or more screens, and being controlled by said micro program.

[0017]It has zooming and a reverse affine conversion method to rotate for a reproduced image using said parameter for reverse affine transformation, having a register which stores a parameter for reverse affine transformation, and being controlled by said micro program.

[0018]It has whether coordinates are in a field of an original picture using said original picture size or it is outside a field, and an area judgment means to judge, having a register which stores original picture size corresponding to said two or more screens, and being controlled by said micro program.

[0019]It is connected to an input of a means delayed in a micro program via a parallel serial converter, and an output of a means to memorize a micro program changes.

[0020]It has a delay means constituted by selector which chooses a micro program of the order of a cycle according to a program counter and said present state which show the present state in a primitive sequence, and a means to memorize a micro program.

[0021]A memory measure and a delay means of said micro program are constituted by a selector which changes as inputs a control signal which controls writing and maintenance to a shift register of a micro program, and shift register connected to ring shape.

[0022]A means to generate coordinates on a display screen, and a memory measure which stores data used for image formation, In picture reproducer which has two or more display modes which are provided with a means to generate an address for accessing said memory measure, and include zooming and rotation mode, and a normal mode at least, A reverse affine converter which realizes zooming and rotation, and a means to perform at least a part of reverse affine operation before a reverse affine operation for every dot, A means which coincides an effective display period by circuit means which puts in order and changes after-access image data into said memory measure in said normal mode at display order, and said zooming and rotation mode, and a normal mode is provided.

[0023]It was determined that the number of bits per [which stores data used for said image formation] word of a memory measure became a common multiple of data word length per pixel of two or more color modes.

[0024]The number of cycles which is the picture reproducer controlled by a micro program, and is contained in a fundamental period of a micro program was provided in an integral multiple of a horizontal pixel number of a character.

[0025]It is the picture reproducer which has a means to direct whether a display mode is a normal mode or they are zooming and rotation mode, If the instruction content is a normal mode, memory access will be made to start early by at least

1 character rather than a display start, On the other hand, if the instruction content is zooming and rotation mode, a means to perform initial value calculation of affine transformation in advance of a display start, and to make memory access start after that is provided.

[0026]A means to generate coordinates on a display screen, and a memory measure which stores data used for image formation, In picture reproducer which is provided with a means to generate an address for accessing said memory measure, and is controlled by a micro program, A decoder into which control information according to said micro program is inputted, A switching circuit which switches selectively image data read from said memory measure based on a control signal outputted from this decoder, the 1st buffer memory that stores switched image data temporarily, and a parallel serial converter are provided.

[0027]The 2nd buffer memory is made to intervene between said 1st buffer memory and said parallel serial converter, A means to transmit each of two or more piece data of data currently stored in said 2nd buffer memory to said parallel serial converter to independent timing according to a parameter set from the outside is provided.

[0028]A means to generate coordinates on a display screen, and a memory measure which stores data used for image formation, In picture reproducer

which is provided with a means to generate an address for accessing said memory measure, and is controlled by a micro program, A decoder into which control information is inputted, and a switching circuit which switches selectively image data read from said memory measure according to said micro program, A parallel serial converter which had a buffer memory function constituted using a unit circuit containing a selector and a store circuit cell is provided.

[0029]

[Example] Hereafter, according to a drawing, the 1st example of this invention is described in detail. Drawing 1 is the figure which illustrated the structure of the 1st example of the picture reproducer of this invention taking the case of the case of the computer graphics of the conversational mode represented by a TV game machine, multimedia PC, etc. Said picture reproducer is provided with the address-generation function for accessing the memory measure in which various data required for a scrolling feature, zooming and a rotary function, an area judgment function, image data, or image data formation is stored in the example of the figure. Said picture reproducer is provided with a means to realize the display screen of two or more sheets, and two or more kinds of foreground-color modes. A part or all of hardware that realizes said each function with which said picture reproducer is provided operates according to a micro program.

[0030]First, the structure of the picture reproducer of this invention and operation are explained using drawing 1. The master counter 10 is for expressing the position of the pointer in a viewing area with coordinates (x, y).

A dot counter (horizontal-coordinates counter) and a raster counter (vertical coordinate counter) are comprised.

Via the scroll means 11, the output signal of the master counter 10 is told to the latch 31, and is told to the reverse affine converter 12 and the latch 13 who are provided in order to realize zooming and a rotary function. Here, if the selector 14 is set as OFF in the coordinate signal a currently held at the latch 13 if zooming and rotation mode are set as one, it will output the coordinate signal b currently held at the latch 31 to the area judgment means 15. The coordinate signal a shows the coordinates in the case of the normal mode for which the coordinate signal b does not use zooming and a rotary function for the coordinates in the case of using zooming and a rotary function again. The area judgment means 15 judges whether it hits in the field of the original picture field which the received coordinate signal mentions later, or it hits outside a field, if it is in a field, it will pass said coordinate signal as it is, and if it is outside a field, it will perform predetermined processing. The output signal of the area judgment means 15 is incorporated into the latch 16. The BAT address-generation means 17 and CG address-generation means 18 are devices which manage the

address formation for accessing the memory measure 24.

Data is exchanged between the memory measures 24 via the latches 19, 20, 21, and 22 and the memory interface means 23.

The meaning of BAT and CG is mentioned later. If zooming and rotation mode are set as one and the data c in connection with the picture captured via the latch 22 is set as OFF via the rotary data processing circuit 25 and the selector 26, it will be incorporated into the latch 27 only via the selector 26. An address generation for the register 30 to access the memory measure 24 in which various data required for scrolling, zooming and rotation, an area judgment, image data, or image data formation is stored etc., The parameter in connection with the above-mentioned control instruction to many functions and these many functions, etc. are stored.

[0031]Drawing 2 is a figure for explaining an original picture field and a viewing area. In the figure, although the predetermined picture is defined in the field of the original picture field 41, the picture is not defined out of the field. The viewing area 40 may protrude an original picture field like 42 by processing of scrolling, zooming, rotation, etc., etc. At this time, an original picture field outside is processed according to the directions set as said register 30 grade.

[0032]Drawing 3 is a figure explaining the coordinates in a viewing area (x, y) generated by operation of said master counter 10 in said viewing area. An

x-coordinate is generated by the dot counter and a y-coordinate is generated by the raster counter.

[0033]Next, an above-mentioned background attribute table (in this specification, it is written as BAT) and character generator (in this specification, it is written as CG) are explained using drawing 4 (A), (B), (C), and (D). In computer graphics, such as a TV game machine and a multimedia PC, the image data equivalent to each pixel is stored in said memory measure 24 in the form of CG data. If needed, said CG data are gathered considering two or more pixels with high correlation as a unit (for example, 8 pixel x8 pixel unit), and are stored in said background attribute table.

[0034]As shown in drawing 4 (A), each pixel (50, 51, 52 grades) expressed as CG data is summarized in the form of the character 53. As shown in drawing 4 (B), the original picture 41 is constituted by the character (54, 55, 56 grades) of one or more pieces. CG-data CG (50), CG (51), and CG (52) equivalent to said each pixels 50, 51, and 52 are stored in said memory measure 24 in a form as shown in drawing 4 (C), for example. If the CG data of the pixel belonging to said character 53 are stored in the address which continued as shown in drawing 4 (C), it is convenient to processing of a character unit. The symbol representing each characters 54, 55, and 56 shown in drawing 4 is defined as a character code, and each will be called CC (54), CC (55), and CC (56). These character

codes are dedicated by the memory measure called above BAT as shown in drawing 4 (D) at this time. As mentioned above, it is determined according to a situation whether to use both BAT and CG for expressing a desired picture or use only CG.

[0035]In drawing 1, above-mentioned a part or all of hardware is controlled by the micro program. The memory measure 28 stores said micro program, and the delay means 29 plays the role which delays the contents of said micro program suitably according to the execution cycle. Each operation of scrolling, zooming and rotation, an area judgment, and an address generation is controlled by the control signal d, e, and f based on a micro program expressed with the dashed line, and g, respectively. Control of these each function is performed as follows. In this 1st example, the number of fields of the background image which picture reproducer deals with is made into the 4th page.

[0036](1) The detailed example of composition of said scroll means 11 is shown in scroll drawing 5. In the figure, the scroll parameter i1 the 1st page, the 2nd page, the 3rd page, and for the 4th page, i2, i3, and i4 are stored in the partial registers 60, 61, 62, and 63 contained in the register 30 shown in drawing 1, respectively. According to directions of said control signal d made based on the contents of the micro program, the selector 64 chooses one of said scroll parameter i1, i2, i3, and i4, and is taken as the scroll parameter i. On the other

hand, the coordinate signal h generated with the master counter 10 is added with said scroll parameter i with the adding machine 65. Like the above, it carries out and the coordinate signal k by which the scroll process was carried out to the output of the adding machine 65 is acquired.

[0037](2) Each function of zooming, rotation zooming, and rotation is realized in reverse affine transformation. The detailed example of composition of said reverse affine conversion method 12 is shown in drawing 6. To the partial registers 70, 71, 72, and 73 contained in the register 30 shown in drawing 1 in the figure. Respectively, the control code the parameter j1 for reverse affine transformation the 1st page, the 2nd page, the 3rd page, and for the 4th page, j2, j3, and j4 instruct turning on and off of zooming and rotation mode to be to the partial register 74 again is stored. According to directions of said control signal e made based on the contents of the micro program, the selector 75 chooses one of said parameter j1 for reverse affine transformation, j2, j3, and j4, and is taken as the parameter j for reverse affine transformation. On the other hand, in the reverse affine converter 76, reverse affine transformation which used said parameter j is performed to the coordinate signal k told from the scroll means 11. Like the above, it carries out and zooming and the coordinate signal 77 by which the rotating process was carried out are acquired by the output of the reverse affine converter 76. If the control code stored in the partial register 74 is pointing

to one of zooming and rotation mode, the selector 14 will choose the coordinate signal a, and if it is pointing to OFF, the coordinate signal b will be chosen.

[0038](3) The detailed example of composition of said area judgment means 15 is shown in area judgment drawing 7. In the figure, the original picture size m1 the 1st page, the 2nd page, the 3rd page, and for the 4th page, m2, m3, and m4 are stored in the partial registers 80, 81, 82, and 83 contained in the register 30 shown in drawing 1, respectively. According to directions of said control signal f made based on the contents of the micro program, the selector 84 chooses one of said original picture size m1, m2, m3, and m4, and chooses original picture size m. On the other hand, it is judged whether the coordinate signal n outputted from the selector 84 is compared with said original picture size m by the comparison test machine 85, and said coordinate signal n is in the field of an original picture or it is outside a field. Like the above, it carries out and the coordinate signal 86 by which area judgment processing was carried out is acquired by the output of the comparison test machine 85.

[0039](4) When it is going to realize picture reproducer with the background screen of address-generation plurality, and two or more display modes, the address-generation sequence for accessing said memory measure 24 becomes a remarkable complicated thing. Thus, in order to correspond to a complicated address-generation sequence, the means described below demonstrates a

great effect. Said BAT address-generation means 17, CG address-generation means 18, and the detailed example of composition of a control signal path are shown in drawing 8. In the figure, said control signal g made based on the contents of the micro program. Which address generation of a BAT address / CG address. The auxiliary parameter g4 for the control signal g1 which directs whether to carry out, the control signal g2 which shows the surface number item of the display surface to which the image data to reproduce belongs, the control signal g3 which shows ON and OFF of zooming and rotation mode, and address computation is included. The control signal q1 which shows the display mode of the 1st page, the 2nd page, the 3rd page, and the 4th page, q2, q3, and q4 are stored in the partial registers 90, 91, 92, and 93 contained in the register 30 shown in drawing 1, respectively. First, according to directions of said control signal g1, one of the BAT address-generation means 17 and the CG address-generation means 18 will be in an active state. Next, according to directions of said control signal g2, one of the control signal q1 which shows said display mode, q2, q3, and q4 is chosen, According to directions of said control signal g2, ON and OFF of zooming and rotation mode is determined, and based on the coordinate signal p, a desired BAT address or CG address is computed, being controlled at the above result. If the micro program is described to carry out image restoration using both BAT and CG here, In drawing 8, an address is

first sent out to the memory measure 24 via the bus A1, data is received from the memory measure 24 via the bus A2, then, an address is sent out to the memory measure 24 via the bus B1, and data is received from the memory measure 24 via bus B-2. If the micro program is described to carry out image restoration only using CG, an address will be sent out to the memory measure 24 via the bus B1, and data will be received from the memory measure 24 via bus B-2.

[0040]Hereafter, said micro program is explained. It is described that a micro program ends a predetermined routine with a fixed cycle. The example of the micro program for acquiring the picture which used only CG for the 2nd page and was reproduced in the picture which used both BAT and CG for the 1st page, and was reproduced is shown in drawing 9. According to the micro program of the figure, operation of the image restoration for said two screens takes a round of eight cycles from 0 cycle to 7 cycles, and one routine is ended.

[0041]Pipeline operation of the picture reproducer of drawing 1 is carried out being controlled by the micro program. In the picture reproducer of the figure, the data read from the coordinate signal or the memory measure flows along with the arrow of the solid line in a figure between each block, and the control signal formed based on the micro program is supplied to each block along with the arrow of the dashed line in a figure. Here, whenever the data read from said coordinate signal or the memory measure passes a latch once, it delays it at a

time one clock. Therefore, each circuit block of drawing 1 is controlled by control signal MP0 based on the micro program shown in drawing 10, MP1, MP2, MP4, and MP6. The counted value of the dot counter with which DCK is contained in a dot clock and DCX is contained in the master counter 10 in drawing 10, MP0 is the HARASHIN item of a micro program and MP1, MP2, MP4, and MP6 express the signal which delayed one clock of said MP0, the signal which carried out 2 clock delay, the signal which carried out 4 clock delay, and the signal which carried out 6 clock delay, respectively. The number currently described into signal MP0, MP1, MP2, MP4, and MP6 is a cycle number shown in drawing 9. At this time, the master counter 10, the scroll means 11, and the affine converter 12 in drawing 1 to control signal MP0. The selector 14 and the area judgment means 15 which were inserted into the latch 13 and the latch 13, and the latch 16 to control signal MP1. The BAT address-generation means 17 inserted into the latch 16 and the latch 19 to control signal MP2. Pipeline processing is performed when the rotary data processing circuit 25 and the selector 26 by which CG address-generation means 18 inserted into the latch 20 and the latch 21 was inserted into the latch 22 and the latch 27 control signal MP4 are controlled by control signal MP6, respectively.

[0042]Next, a means to form above-mentioned control signal MP0, MP1, MP2, MP4, and MP6 is described.

[0043]The 1st means is shown in drawing 11. In the figure, the micro program r supplied from the outside is once written in the memory measure 101, and is transmitted to the delay means 103 (for example, shift register) via the parallel serial converter 102. Said delay means 103 has data width (number of bits) equal to the data width of the micro program r, and has a delay number of stages equal to the number of cycles of the micro program r (the above-mentioned example eight cycles). Control signal MP0 with each above-mentioned output of the delay means 103, MP1, MP2, MP4, and MP6 are given.

[0044]The 2nd means is shown in drawing 12. In the figure, the micro program r supplied from the outside is once written in the memory measure 110. On the other hand, the program counter 111 shows the present state in the primitive sequence stated to drawing 10, The micro program of the order of a cycle according to the state is chosen by the selectors 112 and 113,114,115,116, and it outputs to each block of drawing 1 as above-mentioned control signal MP0, MP1, MP2, MP4, and MP6. The program counter 111 and the selectors 112 and 113,114,115,116 work as a delay means here.

[0045]The 3rd means is shown in drawing 13. In the figure, it has data width (number of bits) equal to the data width of the micro program r, The final stage output terminal 123 of the shift register 120 which has a delay number of stages equal to the number of cycles of the micro program r (the above-mentioned

example eight cycles) is connected to the input terminal 122 of said shift register 120 via the selector 121 at ring shape. The control signal s is a signal which controls the writing and maintenance to the shift register 120 of the micro program r. The micro program r supplied from the outside when becoming $s=0$ is written in the shift register 120, and if it becomes $s=1$, the final stage output signal t of the shift register 120 will be returned to the input terminal 122 of the shift register 120. Each outputs 124 and 125, 126, 127, 128 of the shift register 120 give above-mentioned control signal MP0, MP1, MP2, MP4, and MP6, respectively. In the case of this example, the shift register 120 has played the role of both the memory measure and the delay means.

[0046] Thus, while realizing pipeline operation and realizing high-speed processing by controlling each part by the signal which delayed the micro program, Processing advanced only by providing the small-scale hardware for every step can be realized, and complicated hardware for sequence control is made unnecessary.

[0047] Drawing 14 is a block diagram explaining the structure of the 2nd example of this invention. Also in this 2nd example, an overview is explained taking the case of the case of the computer graphics of the conversational mode represented by a TV game machine, multimedia PC, etc. The picture reproducer of the figure could respond to zooming, rotation mode, and a normal mode, and

is provided with the address-generation function for accessing the memory measure in which various data required for image data or image data formation is stored. Here, a normal mode means the display mode which does not include zooming and a rotating process. Said picture reproducer is provided with a means to realize the display screen of two or more sheets, and two or more kinds of foreground-color modes. A part or all of hardware that realizes said each function with which said picture reproducer is provided operates according to a micro program.

[0048]First, the 2nd example is described using drawing 14 and drawing 15. The picture reproducer of drawing 14 contains the 1st circuit system and 2nd circuit system. The 1st circuit system is constituted by the memory access control circuit 221, the address generation circuit 222, the store circuit 216, the buffer register 223, the buffer register 224, the parallel serial converter 225, and BG side selection circuitry 227. On the other hand, the 2nd circuit system is constituted by the start control circuit 212, the reverse affine converter 215, the address generation circuit 226, the store circuit 216, the post-processing circuit 217, and BG side selection circuitry 227. Here, the reverse affine converter 215 is connected with the register 218 in which the parameter for zooming and rotation was stored including the initial value calculation circuit 213 and the coordinates calculation circuit 214 of a dot unit. Said 1st circuit system manages

the image restoration of a normal mode, and said 2nd circuit system manages the image restoration of zooming and rotation mode. All are connected to the register 220 for micro programs in which the micro program was stored in part among the circuit blocks of said 1st circuit system and said 2nd circuit system. The master counter 210 is a counter which counts the number of rasters of the perpendicular direction on the basis of a Vertical Synchronizing signal, and the horizontal dot number on the basis of a Horizontal Synchronizing signal. The coordinate counter 211 is for expressing the position in a viewing area with coordinates (x, y).

A dot counter (horizontal-coordinates counter) and a raster counter (vertical coordinate counter) are comprised.

[0049]Next, operation of the picture reproducer of drawing 14 is explained. This example describes the case where the unit of one character is made horizontal and vertical with 8 pixels. With a character, two or more pixels with high correlation are put together, for example, the character of a word processor, etc. hit this. In the form of CG data, the image data which is equivalent to each pixel also in TV game is stored in a memory measure, and these CG data, If needed, two or more pixels with high correlation are summarized as a unit (for example, it is horizontal and vertical eight pixel units), and it is stored in a background

attribute table (BAT).

[0050]The outline of the example of operation in the 2nd example of the picture reproducer of this invention is shown in drawing 16. As shown in the figure, both a normal mode, and expansion, rotation and reduction mode are M0 dots a display period. Pretreatment of the image data in a normal mode takes an M1 dot period. On the other hand, pretreatment of the image data in zooming and rotation mode takes an M2 dot period. In order to arrange display timing in the two above-mentioned modes at this time, it is necessary to start memory access early [M 1 dot] at least rather than a display start at the time of a normal mode. On the other hand, it is necessary to start initial value calculation of coordinates early [M 2 dot] at least, and to perform memory access after the end of initial value calculation rather than a display start, at the time of zooming and rotation mode. By setting up such timing, the display timing of both a normal mode, and expansion, rotation and reduction mode can be doubled.

[0051]In drawing 15, the waveform 230 shows the display period [in / for a Horizontal Synchronizing signal / in the waveform 231 / the display device 219 of drawing 14]. That is, the master counter 210 starts the count of a dot in falling of a Horizontal Synchronizing signal, and a picture is displayed [to / a K+N dot / from the K+1st dot] on the display 219. The K+1st dot of the master counter 210 is [the 1st dot of the coordinate counter 211 and eye a K+N dot of the master

counter 210] eyes N dot of the coordinate counter 211.

[0052]When a display mode is set as a normal mode, in drawing 14 the memory access control circuit 221, The counted value of the master counter 210 by one character (8 dots) from a display start time in the place which reached the young value, i.e., K-7. It points to the start of memory access to the address generation circuit 222, and access to the memory measure 216 is made to perform to the timing shown in the waveform 236 of drawing 15. The address generation circuit 222 performs an address generation according to the control signal a based on the microcode stored in the register 220 for micro programs. As a result, image data b of a normal mode is read to the timing shown in the waveform 237 of drawing 15. The contents of said microcode perform zooming and rotation among two or more color modes [using / or / which field] among two or more background image sides, using which, or comprise **. The primitive sequence which executes a micro program is set up in character. In the case of this example, in 1 primitive sequence, a micro program is described to read a part for one character, i.e., the image data for 8 dots. The example of the micro program described is shown in drawing 19 (A). Image data b read from the memory measure 216 is located in a line with different time order from an order displayed on the display device 219, for example, as shown in drawing 19 (B). The 1st buffer register 223 is formed in order to rearrange image data b into display

order. By passing the 1st buffer register 223, 2nd buffer register 224, and parallel serial converter 225, image data b is changed into the picture signal c rearranged into display order, as shown in drawing 14. The arbitrary piece data 237 equivalent to a part for one character of image data b is delayed by at least 8 dots, i.e., 1, character, and is changed into the piece data 238 equivalent to a part for one character of image data c so that more clearly than drawing 15.

[0053]On the other hand, in drawing 15, if a display mode is set as zooming and rotation mode, the start control circuit 212 directs the start of initial value calculation of reverse affine transformation to the reverse affine converter 215 in the place where the counted value of the master counter 210 reached K-L, as shown in the waveform 234. However, the time which initial value calculation of reverse affine transformation takes presupposes that it is a part for a maximum of L+1 dot clock. Next, the start control circuit 212 directs the start of the coordinates calculation for every dot based on the result of said initial value calculation to the reverse affine converter 215 in the place where the counted value of the master counter 210 amounted to K+1. As a result, the address based on the coordinate value by which reverse affine transformation was carried out in the 1st address generation circuit 226 is generated, image data d of zooming and rotation mode is read from the store circuit 216, and it is expressed on the display 219 as the timing shown in the waveform 235. The

start of initial value calculation here is performed by giving the control signal e to the initial value calculation circuit 213 from the start control circuit 212. Based on the time which initial value calculation of reverse affine transformation takes being equivalent to a part for L+1 dot clock, counted value K-L of an initial value calculation start, It is determined that the display timing of image data d of zooming and rotation mode will be in agreement with the display timing of image data c of a normal mode.

[0054]The operation is explained in detail below about the reverse affine converter 215 used by zooming and rotation mode, and the initial value calculation circuit 213 and the coordinates calculation circuit 214 for every dot which are the component. The reverse affine converter 215 is hardware which performs reverse affine transformation, and acquires new coordinates (X2, Y2) by performing coordinate conversion shown by (the formula 2) to former coordinates (X1, Y1) (formula 1).

$$X2 = A(X1 - XC) + B(Y1 - YC) + XC \dots (\text{formula 1})$$

$$Y2 = C(X1 - XC) + D(Y1 - YC) + YC \dots (\text{formula 2})$$

Thus, the image data corresponding to the acquired new coordinates (X2 and Y2) is read from the store circuit 216, and zooming and the rotational display in a former coordinate system are realized by displaying the contents of the image data on the position of former coordinates (X1, Y1). Now, (the formula 3) and the

(formula 4) are obtained by developing (the formula 1) and the (formula 2).

$$X2 = AX1 + BY1 + (1-A) XC - BYC \dots \text{(formula 3)}$$

$$Y2 = CX1 + DY1 - CXC + (1-D) YC \dots \text{(formula 4)}$$

[0055] In zooming and the rotational display by the reverse affine transformation currently performed conventionally, calculation of (the formula 3) and the (formula 4) was performed to 1 dot 1 time respectively. It is alike, and according to the conventional method, four multiplication and four addition and subtraction are needed about 1 dot, and huge sacrifices, such as needing appropriate hardware great, for example for the realization, must be paid with future near present and integrated circuit art. Then, in [so that the minimum hardware may realize zooming and a rotational display in this invention] calculation of (the formula 3) and the (formula 4), Calculation of the initial value $X1$ shown by the following formula (formula 5) and the (formula 6) and $Y1$ is performed during a horizontal blanking interval, and it is made to perform only addition of the constant XD shown by the following formula (formula 7) and the (formula 8), and YD to the ** dot in the display period just behind that. Here, the former coordinates $X1$ increase every [1] from $X1=0$ to $X1=N$ during a display period.

$$X1 = BY1 + (1-A) XC - BYC \dots \text{(formula 5)}$$

$$Y1 = DY1 - CXC + (1-D) YC \dots \text{(formula 6)}$$

$$XD = A \dots \text{(formula 7)}$$

$YD = C \dots$ (formula 8)

[0056] Calculation of initial value XI' shown by the following formula (formula 9)

and the (formula 10) and YI' is performed in a vertical blanking interval, the -- immediately after -- a display period -- inside -- ***** -- every -- (-- a formula -- 11 --) -- (-- a formula -- 12 --) -- being shown -- having -- a constant -- XD -- ' -- YD -- ' -- addition -- carrying out -- ** -- a dot -- every -- (-- a formula -- seven --) -- (-- a formula -- eight --) -- being shown -- having -- a constant -- XD -- YD -- addition -- carrying out -- making -- even if -- being the same -- an effect -- obtaining -- having .

$XI' = XC - BYC (1-A) \dots$ (formula 8)

$YI' = -CXC + (1-D) YC \dots$ (formula 9)

$XD' = B \dots$ (formula 10)

$YD' = D \dots$ (formula 11)

The above-mentioned initial value XI , YI , XI' , and the block that performs calculation of YI' are the initial value calculation circuits 213, and the block which performs calculation of the above-mentioned constant XD , YD , XD' , and YD' is the coordinates calculation circuit 214 of a dot unit.

[0057] Next, the 1st buffer register 223 provided in order to rearrange image data b of drawing 14 into display order, the 2nd buffer register 224 provided in order to control a time delay, and the parallel serial converter 225 are explained based

on some examples.

[0058]First, the gestalt of the image data stored in the kind of image data, structure, the example of description of a micro program, and the store circuit 216 of drawing 14 is explained. The case where the conditions of the image data of explanation which the picture reproducer of this invention supports for convenience are performed as follows is taken for an example.

** Make into three kinds, four colors (2 bits), 16 colors (4 bits), and 256 colors (8 bits), color mode which can be displayed.

** Make the number of fields of a background image side into the 2nd page, A side and B side.

** The data width of image data and the width of the bus for data transfer which said store circuit 216 stores shall be 8 bits.

** When treating image data in character, level and a perpendicular make the size 8 pixels.

[0059]The structure of the above-mentioned character is shown in drawing 17. In the figure, the arbitrary characters 251 in Screen 250 change eight pieces at a time in the direction of level and each perpendicular considering a total of 64 pixels as a component. By the following explanation, the pixel on the arbitrary horizontal lines in said character is called in order P0, P1, P2, ---, P6, and P7.

[0060]Drawing 18 (A), (B), and (C) is a figure showing correspondence with the

color mode which can be displayed, and the structure of image data. The figure also shows the storing gestalt in case the image data of each color mode is stored in said store circuit 216. Here, 1 word of the store circuit 216 shall be 8 bits. Drawing 18 (A) is the image data structure of 4 color modes, and 2 bits [per pixel] data is put in order like P0, P1, P2, and P3.

It becomes 8 pixels (P0, P1, P2, P3/P4, P5, P6, P7) at 2 words.

Similarly, drawing 18 (B) is what showed the image data structure of 16 color modes, and 4 bits [per pixel] data is put in order like P0 and P1.

It becomes 8 pixels (P0, P1/P2, P3/P4, P5/P6, P7) at 4 words.

Drawing 18 (C) will be constituted from 8 bits per pixel by the case of 256 color modes, and will be 8 pixels (P0/P1/P2/P3/P4/P5/P6/P7) at 8 words. As mentioned above, it is one of the features of this invention to make it the number of bits per word of a store circuit turn into a common multiple of the data word length per pixel of two or more color modes.

The strong point in which the capacity of a store circuit can be used efficiently is produced.

[0061]The example of description of a micro program is shown in drawing 19 (A).

Here, one cycle of a micro program is made equal to one dot clock. It is very effective to provide the number of cycles contained in the fundamental period of

a micro program in the integral multiple of the horizontal pixel number of said character 251. the example of description -- A and B-2 page -- it is an example which reproduces the picture of Normal and 16 color modes to A side, and reproduces the picture of Normal and 4 color modes to B side among the existing background image sides. "NOP" means no operation and access to the store circuit 216 is not performed at this time.

[0062]A time series shows image data h read to drawing 19 (B) from said store circuit 216 according to the micro program illustrated to drawing 19 (A). Image data h immediately after reading from the store circuit 216 is put in order in the turn that the image data of two regions completely differs from display order, and even if it sees a bit row, it is put in order with a completely different gestalt from a display style, so that more clearly than drawing 19 (B).

[0063]The circuit means for rearranging into display order the image data read from the store circuit 216 is shown in drawing 20. Hereafter, the thing of the circuit means for rearranging image data into display order is called word-units data / dot-unit-data converter. In drawing 20, word-units data / dot-unit-data converter includes the decoder 260, the switching circuit 261, the 1st buffer memory 262, and the parallel serial conversion circuit 263. The control information f is inputted into the decoder 260 from the circuit block of the register 220 grade for micro programs of drawing 14, and image data h is inputted into it

for the decoded control signal g from the store circuit 216 of drawing 14 from said decoder 260 in the switching circuit 261. Combination information on the color mode and the background image side which do ** display of said control information f here (the Ath page) B side -- respectively -- what -- color mode is displayed -- in 1 fundamental period of a micro program, the data of which ** arrival was done includes the what word data of the same background image plane data, and the information on **. It switches to the 1st buffer memory 262, and image data i of ending is inputted. It rearranges into the parallel serial converter 263, and output-image-data j of the buffer memory 262 of ending is inputted. From said parallel serial converter 263, image data k rearranged into display order is outputted.

[0064]Next, operation of said word-units data / dot-unit-data converter is explained in detail. In this example, the restrictions mentioned above, i.e., the color mode which can be displayed, were made into three kinds, four colors, 16 colors, and 256 colors, The combination of the color mode which can be displayed will be six kinds shown in drawing 21 for having made the number of background image sides into the 2nd page, that the width of the data which the store circuit 216 has memorized was 1 word 8 bits, and having made the fundamental period of the micro program into eight cycles.

[0065]Drawing 22 is a timing diagram of the signal of each part of the word-units

data / dot-unit-data converter shown in drawing 20. Said word-units data / dot-unit-data converter rearrange received image data h into display order by performing the next operation. The decoder 260 decodes the received control information f, and generates the control signal g for performing switching operation to image data in the switching circuit 261. After it switches 8-bit image data h and said control signal g changes it into image data i, the switching circuit 261 being controlled, it writes this image data i in the prescribed address of the 1st buffer memory 262. The 1st buffer memory 262 transmits image data j for 8 pixels read from the 1st buffer memory 262 self all at once to the parallel serial converter 263 after this end of writing operation. Said simultaneous transmission of image data j is performed to one fundamental period (this example eight dot clocks) of a micro program 1 time respectively synchronizing with the transfer pulse 267. Here, in a 2nd page display, the image data corresponding to A and a B2 ** background image side is simultaneously contained as piece data at image data j. The data width of image data j will be a maximum of 64 bits (8 dots x 8 bits). When making Normal 16 color A side and carrying out Normal 4 color specification to B side, the data width of image data will be a total of 48 bits at +8 dots x 4 bits [8 dots x] 2 bits. The parallel serial converter 263 outputs received image data j to display order as image data [of a dot unit] k in the form in sync with the dot clock 266. The data width of image data k will be a total of 6 bits at 4

bits +2 bits, when Normal 16 color is made A side and it carries out Normal 4 color specification to B side. Here, the parallel serial converter 263 comprises a parallel input serial output type shift register etc., for example.

[0066]The rearrangement result of each combination of drawing 21 is illustrated to drawing 23 (A), (B), (C), (D), (E), and (F). When drawing 23 (A) is the 1st page of 256 colors, as for drawing 23 (D), as for drawing 23 (B), in the case of the 2nd page of 16 colors, drawing 23 (F) expresses [in drawing 23 (C) / in the case of the 1st page of 16 colors, and the 1st page of four colors / in the case of the 1st page of 16 colors] the case of the 1st page of four colors, respectively in the case of the 2nd page of four colors, as for drawing 23 (E). The thick frame of drawing 23 (A), (B), and (E) shows the data of 1 word units before rearranging. In the case of the 1st page of 256 colors, as are shown in drawing 18 (C), and the data of 1 word units before rearranging shows drawing 23 (A), it is outputted as data of word units as it is. In the case of the 2nd page of 16 colors, as shown in drawing 18 (B), P6 and P7 which were read by word units are divided into two, combine with P6 of another field, and P7, and as shown in drawing 23 (B), it is rearranged. In the case of the 2nd page of four colors, as shown in drawing 18 (A), P4, P5 and P6 which were read by word units, and P7 are divided into each, they combine with P4 of another field, P5, P6, and P7, and as shown in drawing 23 (E), they are rearranged. At this time, the portion which is not used serves as

an opening.

[0067]The timing diagram of image data k which completed rearrangement operation with said word-units data / dot-unit-data converter is shown in drawing 22. The image data k1 and k2 which are shown in the figure are piece data of image data k, and it is image data reproduced according to the micro program illustrated to drawing 19 (A). Are 4 bits in width and the image data k2 of the image data k1 is 2 bits in width in four color picture signals of B side at 16 color picture signals of A side. Here, the image data for 1 pixel per cycle of the dot clock 266 is outputted.

[0068]The switching circuit 261 of drawing 20 and the still more detailed example of composition of the 1st buffer memory 262 are shown in drawing 24. The combination information f1 about the combination of the background image side (A side or B side) and color mode which are beforehand set to the register etc. as control information in the figure at the decoder 260, The attendant information f2 about image data h which came now, for example, the surface number item of image data h which came now, color mode, etc. are inputted, and the decoded control signal g1, g2, ..., g6 are outputted. The control signal g1, g2, ..., g6 correspond to six kinds of combination shown in drawing 21. In drawing 24, image data h, and said control signal g1, g2, ... and g6 are inputted into the switching circuit 261, and the image data i1 after a change, i2, i3, i4, and ... are

outputted to it. The switching circuit 261 contains the selectors 270, 271, and 272, 273, 274, 275, the wiring section 276, OR gates 277, 278, 279, and 280, ..., etc. In the case of this example, the capacity of the 1st buffer memory is 64 bits (8 dots x 8 bits), and each of 64 output terminals from the switching circuit 261 is connected to the 64 memory cells 281, 282, 283, and 284 and ... The 64 output of all the memory cells 281, 282, 283, and 284 and ... is bundled as the data bus 285, and forms image data j shown in drawing 20.

[0069]Drawing 25 is another example of composition of word-units data / dot-unit-data converter. The feature is in making the 2nd buffer memory 264 intervene between the 1st buffer memory 262 and the parallel serial converter 263. In drawing 25, by that the control signal g is generated by the decoder 260 and the switching circuit 261. It is the same as operation of the word-units data / dot-unit-data converter of drawing 20 mentioned above that switch from image data h and image data i of ending is obtained and that image data j by which it was rearranged into the output terminal of the 1st buffer memory 262 is obtained.

[0070]Hereafter, operation of the word-units data / dot-unit-data converter of drawing 25 is explained using drawing 26. Synchronizing with the transfer pulse 267, simultaneous transmission of said image data j is carried out from the 1st buffer memory 262 at the 2nd buffer memory 264. The 2nd buffer memory 264 outputs the image data jj to the parallel serial converter 263 by making said

transfer pulse 267 into a trigger. Here, the piece data 287 of the image data jj is the data which the contents were the same as that of the piece data 286 of image data j, and was delayed in time. By the way, the image data jj contains image data jj1 of 16 color modes corresponding to A side, and image data jj2 of 4 color modes corresponding to B side. As a trigger pulse for transmitting the data currently stored in the 2nd buffer memory 264 to the parallel serial converter 263, By establishing two kinds, the write pulse 288 for the image data jj1, and the write pulse 289 for the image data jj2, it becomes possible to control independently the delaying amount of the output image signal from the parallel serial converter 263 in respect of A and B. In the case of the example of drawing 26, picture signal jj2 to which picture signal jj1 transmitted by the write pulse 288 was transmitted by the write pulse 289 as the picture signal k1 of 2-dot delay is outputted from the parallel serial converter 263 as the picture signal k2 of 6-dot delay.

[0071]As mentioned above, it becomes possible by making the 2nd buffer register 264 intervene to perform delaying amount adjustment of image data independently for every background image side. Since it is equivalent to delaying a picture signal shifting the position of a picture on a display device, it becomes possible by forming the above-mentioned means to shift and display two or more background images, or to carry out the scroll display of two or more

background images independently, respectively. Under the present circumstances, scrolling of a character unit is realized by adjusting the access timing to said memory measure 216 like the 1st example, An effective scroll display becomes possible by realizing scrolling of less than 8 dots by delaying amount adjustment with the 2nd buffer register 264 in less than a character unit, for example, the case of this example.

[0072]Drawing 27 is another example of composition of word-units data / dot-unit-data converter. The feature is in giving parallel serial converter 290 the very thing the function of the memory measure which can be written in random by constituting the parallel serial converter 290, for example like drawing 28. Drawing 26 shows an example of the detailed structure of the parallel serial converter 290. In the figure, the circuit block 291 is a parallel serial converter for 1 bit of image data, and said circuit block 291, The light pulse generating circuit 294 and the unit cells [two or more (in the case of this example eight pieces)] 295, 296, ..., 297 which the control signal g is inputted and output the light pulse m1, m2, ..., m3 are included. The unit cells 296, ..., 297 of said unit cell 295 are also the same including the selector 298, 299 and the flip-flop 300. The circuit blocks 292, ..., 293 are the parallel serial converters for 1 bit of image data which have the same structure as the circuit block 291. In the case of this example, the parallel serial converter 290 with a data width of 8 bits is constituted by the eight

parallel serial converters 291, 292, ..., 293 for 1 bit.

[0073] Operation of the parallel serial converter shown in [drawing 28](#) is explained below. The light pulse generating circuit 294 generates the light pulse m1, m2, ..., m3 based on the received control signal g, and transmits them to each unit cells 295, 296, ..., 297. In the arbitrary unit cells 296, for example, a unit cell, if the light possible mode / serial transfer mode signal 301 is pointing to the light possible mode, the selector 298 will choose the partial signal h2 of image data h, and will supply it to data input terminal D of the flip-flop 300 as a parallel input. At this time, the selector 299 chooses the light pulse m2, and supplies it to clock input terminal CK of the flip-flop 300. Data writing to a unit cell is performed by the above. On the other hand, if said light possible mode / serial transfer mode signal 301 are pointing to serial transfer mode, the selector 298 will choose the output data 303 of the unit cell 295 of the preceding paragraph, and will supply it to data input terminal D of the flip-flop 300 as a serial input. At this time, the selector 299 chooses the serial transfer clock 302, and supplies it to clock input terminal CK of the flip-flop 300. Serial data transfer between unit cells is performed by the above by shift register operation. As mentioned above, it is also possible to give the rearrangement function and parallel serial conversion function of image data simultaneously to said serial-parallel-conversion machine 290.

[0074] Thus, it becomes possible by constituting picture reproducer like the 2nd example to correspond to both a normal mode, and zooming and rotation mode. At this time, the picture of the normal mode which compensated the timing gap of the picture signal produced between the two above-mentioned circuit means and to which display timing was equal, and zooming and rotation mode can be acquired. The problem produced by having introduced microprogram control that the row of the image data read from the memory measure will turn into a different row from display order is solvable by the addition of slight hardware. The secondary effect of becoming possible to realize delay adjustment of image data programmably is acquired by using the circuit means expressed to drawing 25.

[0075]

[Effect of the Invention]. As stated above, according to this invention, are coming to require of computer graphics, such as a TV game machine, and a display, multimedia apparatus for personal computers. Many advanced functions corresponding to complicated image processing for closing the foreground-color mode of various sorts, multi-picture features, and various display effects, if possible, etc. are realizable by very small-scale hardware. the man day required in order to design said hardware is markedly boiled as compared with it when not being based on this invention, there are and they end. [few] For this reason, it becomes possible to reduce remarkably the necessary cost at the time of

carrying out the IC form of the picture reproducer possessing the advanced function of said many.

[0076]The following effects are also born by having made it make a part or all of hardware that realizes said each function with which picture reproducer is provided operate according to a micro program. That is, the utilization efficiency of the memory measure 24 expressed to the 1st example can always be kept high by rewriting the micro program to the optimal thing in connection with the contents change of image data. As a result, the useless memory use which is not accomplishes and the cost performance of the product using the picture reproducer of this application is raised. As the 2nd example showed, picture reproducer with large flexibility can be obtained -- scroll quantity can be programmably set up for every screen.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a block diagram explaining the structure of the 1st example of this invention.

[Drawing 2]It is a figure for explaining an original picture field and a viewing area.

[Drawing 3] It is a figure explaining the coordinates in a viewing area generated by a master counter.

[Drawing 4] (A) is a figure for explaining the structure of a character. (B) is a figure for explaining the structure of an original picture. (C) is a figure for explaining the storing method of CG data. (D) is a figure for explaining the storing method of a character code.

[Drawing 5] It is a figure showing the detailed example of the scroll means 11 in drawing 1.

[Drawing 6] It is a figure showing the detailed example of the reverse affine conversion method 12 in drawing 1.

[Drawing 7] It is a figure showing the detailed example of the area judgment means 15 in drawing 1.

[Drawing 8] It is a figure showing the detailed example of the BAT address-generation means 17 in drawing 1, and CG address-generation means 18.

[Drawing 9] It is a figure showing an example of a micro program.

[Drawing 10] It is a timing diagram for explaining the flow of a micro program.

[Drawing 11] It is a figure showing the 1st example of a means to form control signal MP0 in drawing 10, MP1, MP2, MP4, and MP6.

[Drawing 12] It is a figure showing the 2nd example of a means to form control

signal MP0 in drawing 10, MP1, MP2, MP4, and MP6.

[Drawing 13] It is a figure showing the 3rd example of a means to form control signal MP0 in drawing 10, MP1, MP2, MP4, and MP6.

[Drawing 14] It is a block diagram explaining the structure of the 2nd example of this invention.

[Drawing 15] It is a timing diagram explaining operation of the 2nd example of this invention.

[Drawing 16] It is an explanatory view of the outline of the operation timing of a normal mode, and zooming and rotation mode.

[Drawing 17] It is a figure explaining a character and the relation of the pixel.

[Drawing 18] It is a figure explaining a data structure when the image data of various color modes is stored in a store circuit.

[Drawing 19] (A) is a figure showing the example of description of a micro program. (B) is a figure explaining the row of the image data immediately after reading from a memory measure.

[Drawing 20] It is a block diagram explaining an example of word-units data / dot-unit-data converter.

[Drawing 21] It is an explanatory view of the combination of the color mode which can be displayed.

[Drawing 22] It is a figure showing the signal timing of each part in the word-units

data / dot-unit-data converter of drawing 20.

[Drawing 23] It is a figure showing an example of the data rearranged by word-units data / dot-unit-data converter.

[Drawing 24] It is a figure showing the detailed structure of the word-units data / dot-unit-data converter of drawing 20.

[Drawing 25] It is a block diagram explaining another example of composition of word-units data / dot-unit-data converter.

[Drawing 26] It is a figure showing the signal timing of each part in the word-units data / dot-unit-data converter of drawing 25.

[Drawing 27] It is a block diagram explaining another example of composition of word-units data / dot-unit-data converter.

[Drawing 28] It is a block diagram showing the detailed structure of drawing 27.

[Drawing 29] It is a block diagram for explaining conventional technology.

[Description of Notations]

10 Master counter

11 Scroll means

12 Reverse affine converter

14 Selector

15 Area judgment means

17 BAT address-generation means

18 CG address-generation means

23 Memory interface means

24 Memory measure

25 Rotary data processing circuit

26 Selector

28 Micro program memory measure

29 Micro program delay means

30 Register

13,16,19, 20,21,22, 27, and 31 Latch

210 Master counter

211 Coordinate counter

212 Start control circuit

213 Initial value calculation circuit

214 The coordinates calculation circuit of a dot unit

215 Reverse affine converter

216 Store circuit

217 Post-processing circuit

218 Register

219 Display

220 The register for micro programs

221 Memory access control circuit

222,226 address generation circuits

223,224 Buffer register

225 Parallel serial converter

227 BG screen selection circuitry